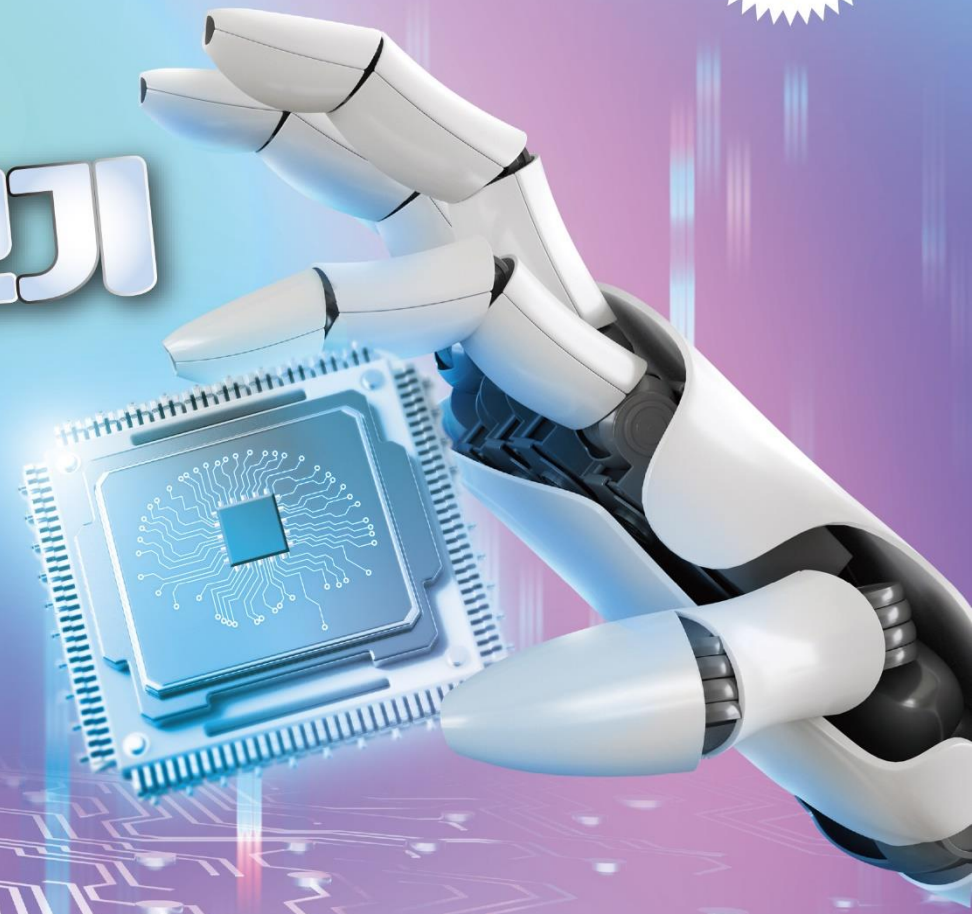
LS Value Chain 7

| 반도체소부장
| Overweight
| 2024. 11. 6

반도체 들여다보기

기초부터 공정을 거쳐 차세대 기술까지



LS증권

테크 미드/스몰캡
Analyst **차용호**
eunyeon9569@ls-sec.co.kr

LS투자증권 반도체 소부장 담당 **차용호** 입니다.

반도체 산업의 기술들은 낯설고 어려우며 심지어는 빠르게 변화합니다. 하지만 어려운 만큼 기술에 대한 이해도가 기반이 되면 차별점으로 이어지며 빠르게 변화하는 만큼 양질의 새로운 투자 아이디어를 얻을 수 있습니다. 따라서 반도체 기술에 대한 이해는 좋은 투자 기회로 이어질 수 있는 길이라고 생각합니다.

Part I **반도체 산업 Overview**에서는 메모리와 비메모리의 차이, DRAM과 NAND의 차이, CPU와 GPU의 차이, 메모리 Cycle, AI Chip에 대한 기본 개념을 다루면서 전반적인 반도체 산업에 대한 이해를 도울 수 있는 자료를 작성했습니다.

Part II **반도체 전공정**에서는 반도체 핵심 공정인 노광, 식각, 증착, 세정 등 전공정 중심의 공정 개요와 함께 각 공정별 관련 기업에 대하여 정리했습니다. 또한 최근 전공정 기술에는 어떠한 변화가 왜 이루어졌는지에 대해서도 살펴보았습니다.

Part III **반도체 후공정**에서는 기존 주류 공정들의 개요와 기술 변화에 대해서 살펴보고 관련 기업을 정리했습니다. 또한 최근 AI와 함께 급격히 부상한 Advanced Packaging기술 내용과 국내 메모리 공급업체들의 핵심 사업으로 떠오른 HBM 제조 공정 등에 대해서 살펴보았습니다.

Part IV **차세대 기술 및 Value Chain**에서는 새롭게 주목받을 CXL, LPCAMM, PIM, On Device AI, 유리기판 등과 같은 기술에 대하여 정리하고 글로벌 및 국내 반도체 소부장 업체들의 공정별 Value Chain에 대해서 살펴보았습니다.

금번 자료가 반도체 산업과 Value Chain에 대한 이해로 이어지면 좋겠습니다.

감사합니다.

Contents

반도체 톺아보기 | 기초부터 공정을 거쳐 차세대 기술까지

Part I

반도체 산업 Overview

반도체 기본 개념 및 주요 기업 정리

- 메모리 vs. 비메모리
- DRAM과 NAND 및 메모리 Cycle
- 비메모리와 AI Chip

반도체 산업 Overview

● 반도체 산업 Overview

[종합 반도체 업체 (IDM, Integrated Device Manufacturer)]

- 설계 + 공정 + 후공정 : 설계, 제조, 및 테스트 체제 전체를 구축. 삼성전자, SK하이닉스, Micron, Intel 등

[설계 전문 업체 (팹리스, Fab-less)]

- 반도체 회로 설계를 전문으로 하는 업체로 설비 투자가 불필요. Qualcomm(미국), NVIDIA(미국), 국내는 칩스앤미디어, 텔레칩스, 넥스트칩 등

[위탁제조업체 (파운드리, Foundry)]

- 반도체를 실제로 생산하며 대규모 Capex투자를 통한 Capa 및 수율 확보가 핵심. TSMC(대만), 삼성전자, DB하이텍(국내), 글로벌파운드리(대만) 등

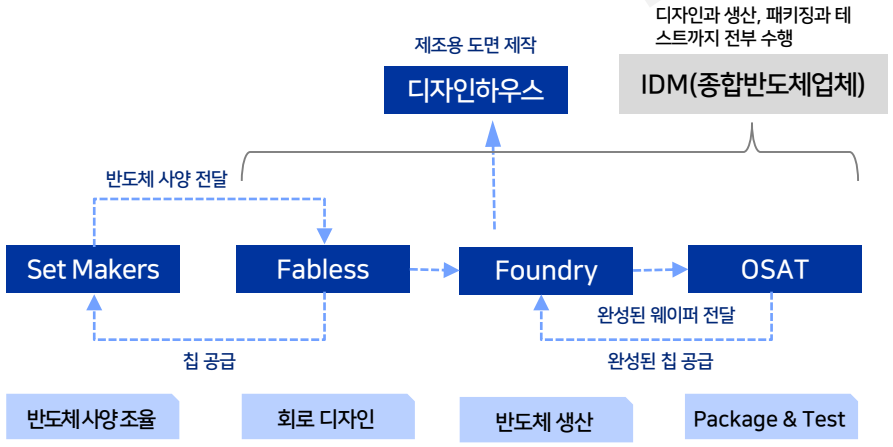
[후공정 업체(OSAT: Outsourcing Semiconductor Assembly and Test)

- 패키징 및 테스트 공정을 담당하는 외주 업체. ASE Technology(대만), Amkor Technology(미국), 하나마이크론, 두산테스나 (국내)

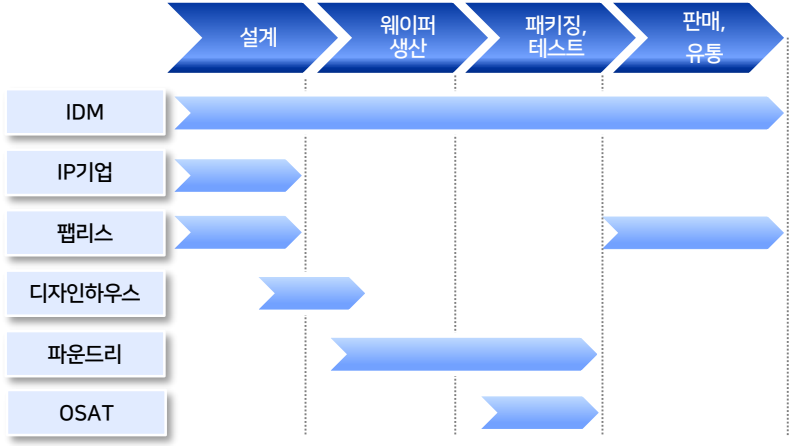
[디자인 하우스(Design House)

- 파운드리 업체에게 외주를 받아 반도체 제조용 설계 도면 제작. AI Chip, GUC(대만), 가온칩스, 에이직랜드, 에이디테크놀로지(국내)

반도체 산업 Value Chain 및 기업 유형



반도체 기업 분류별 역할



자료: LS증권 리서치센터

메모리 반도체 vs. 비메모리 반도체

● 메모리 반도체 vs. 비메모리 반도체

- 반도체는 데이터를 저장하는 역할을 하는 메모리 반도체(DRAM & NAND)와 연산/논리를 돕는 비메모리 반도체로 구분됨
- 국내 반도체 산업은 메모리 중심으로 성장을 지속해왔기 때문에 비메모리 Ecosystem이 상대적으로 취약
- 메모리반도체는 소품종 대량생산의 특징을 갖고 있기 때문에 분업화에 대한 필요성이 적은 반면, 비메모리 반도체는 다품종 소량생산 산업이기 때문에 분업화에 대한 필요성이 큼. 대기업이 수많은 제품을 모두 설계하고 후공정까지 진행하기에 고정비 부담이 크기 때문.
- 따라서 비메모리에서는 종합반도체업체는 인텔만 존재하고 분업화가 많음. 메모리는 종합반도체업체들만이 생존해있는 있음.

메모리 반도체 vs. 비메모리반도체

메모리 반도체 (25%)	데이터를 기억하는 장치. 전원 공급 시 데이터 보관 유/무에 따라서 RAM과 ROM으로 분류
	소품종 대량 생산이 특징(IDM 업체가 유리)
	DRAM(휘발성 메모리): 전원 차단 시 데이터 휘발. DRAM, SRAM, DDR5 등
	NAND(비휘발성 메모리): 전원 차단 시 데이터 저장 가능: Flash NAND 등
시스템 반도체 (75%)	비메모리 반도체. 메모리 반도체 이외의 제품을 통칭.
	논리/연산/제어 등 복합적인 기능을 수행하는 반도체. 다품종 소량생산 형태로 진행 (Ecosystem이 활발히 구축되어 있음. 분업화 구조가 매우 강함) → 시스템 반도체 육성을 위해서는 분업화가 필수(ex. System LSI & Foundry, Foundry & OSAT)
	PMIC, DDI, CMOS(=CIS), CPU, AP 등

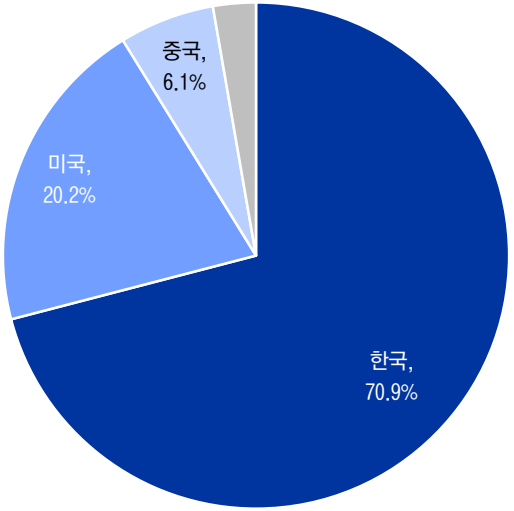
자료: LS증권 리서치센터

한국 반도체 산업 Overview

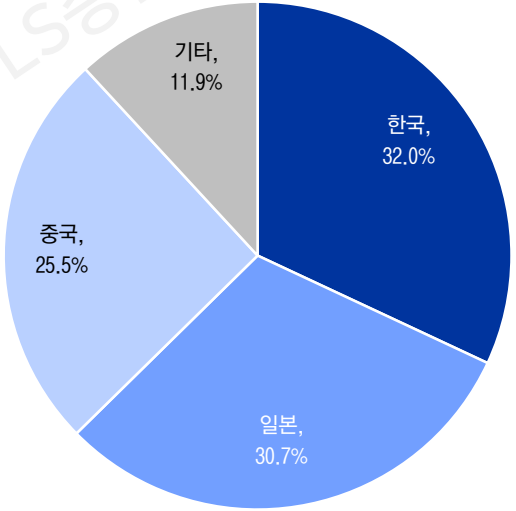
한국 반도체 산업 Overview

- 시장 규모의 비교: 2023년 기준 시장 규모는 시스템반도체 $420Bil vs. 메모리 $140Bil로 시스템반도체 시장이 압도적으로 큼.
- 메모리 산업은 시스템반도체 산업 대비 Cycle의 변동성이 큼. 메모리는 소품종 대량 생산으로 지난 과잉 공급 때 남은 재고를 판매할 수 있지만 시스템반도체의 경우 잦은 스펙 업그레이드로 이전 세대 제품을 재고로 활용이 불가능하기 때문. Ex) iPhone X Chip 재사용 불가
- 또한 수요 예측에 있어서도 메모리는 범용제품으로 전체 테크 수요를 예측해야하지만 비메모리 업체들은 자신의 제품군에 대해서만 예측이 필요하여 비교적 쉬움.
- 국내 업체들의 메모리 산업 점유율은 42%에 달하지만 시스템반도체 산업 점유율은 3%에 불과.
- 이에 국내 메모리 업체들은 비메모리로의 사업 확대를 통한 실적 안정성 추구(ex. CIS, Foundry)전략도 추진하고 있음.

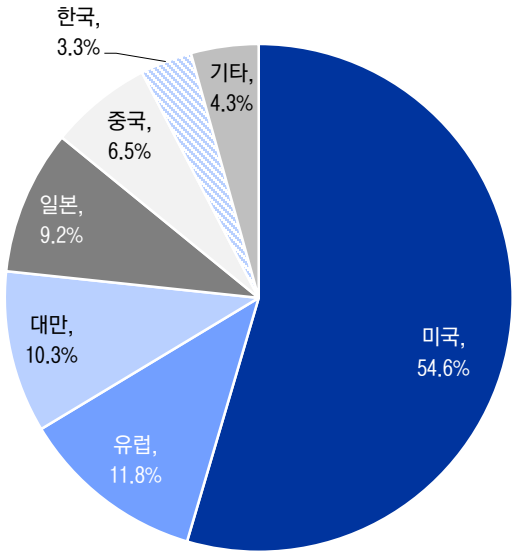
DRAM 시장 국가별 점유율



NAND 시장 국가별 점유율



시스템 반도체 국가별 점유율

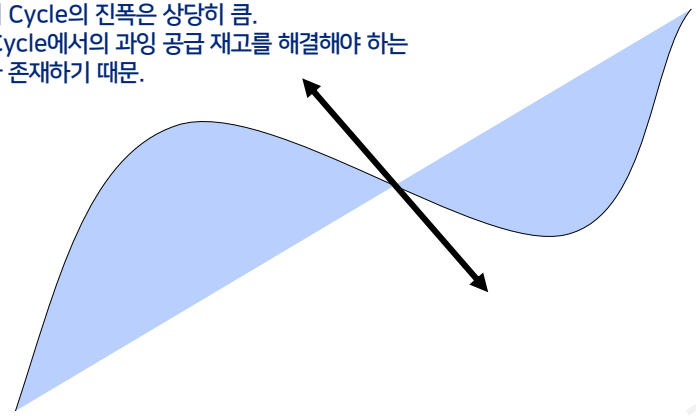


자료: Trendforce, LS증권 리서치센터

반도체 Cycle의 특징 및 순서

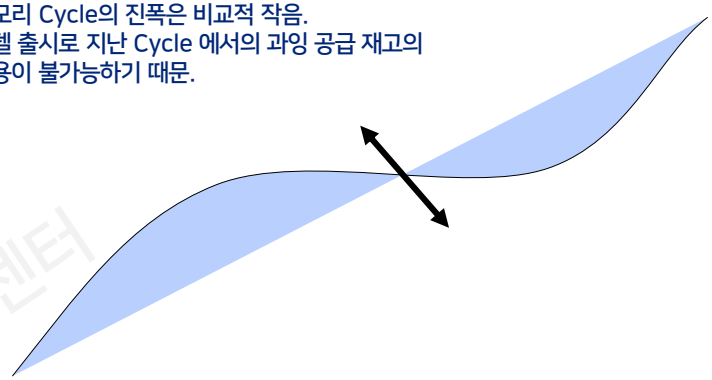
메모리 반도체 Cycle

메모리 Cycle의 진폭은 상당히 큼.
지난 Cycle에서의 과잉 공급 재고를 해결해야 하는
문제가 존재하기 때문.

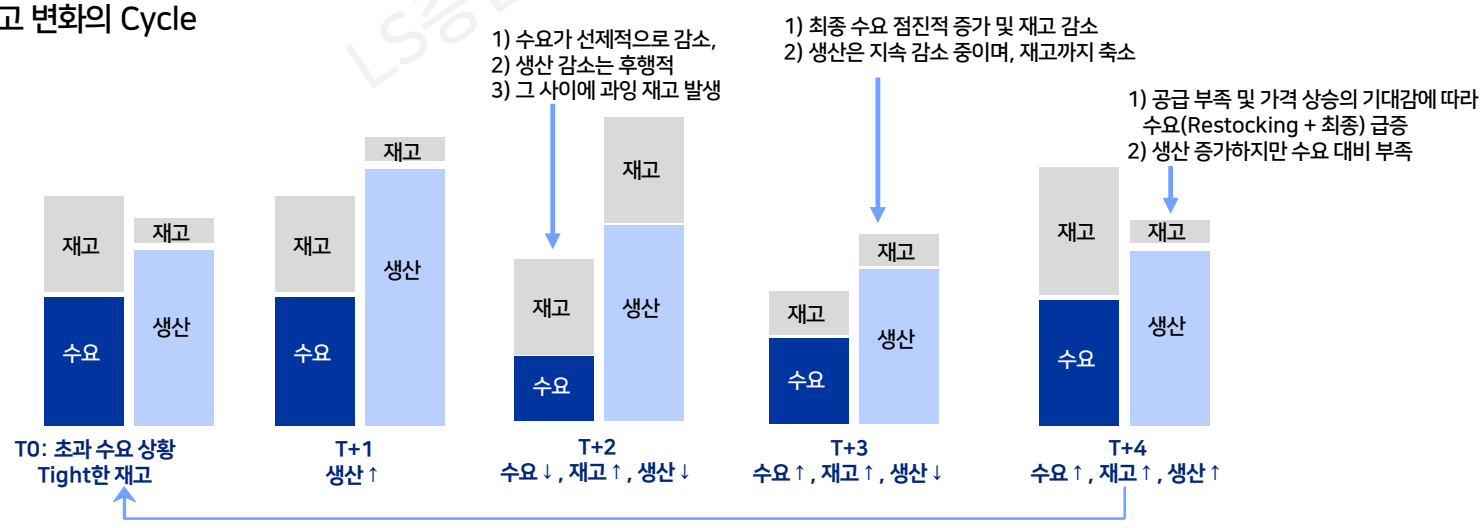


비메모리 반도체 Cycle

비메모리 Cycle의 진폭은 비교적 작음.
신모델 출시로 지난 Cycle 에서의 과잉 공급 재고의
재사용이 불가능하기 때문.



재고 변화의 Cycle



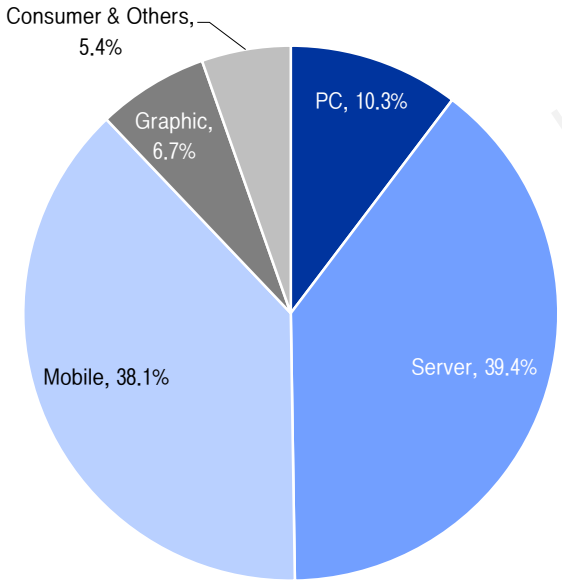
자료: LS증권 리서치센터

메모리 - DRAM

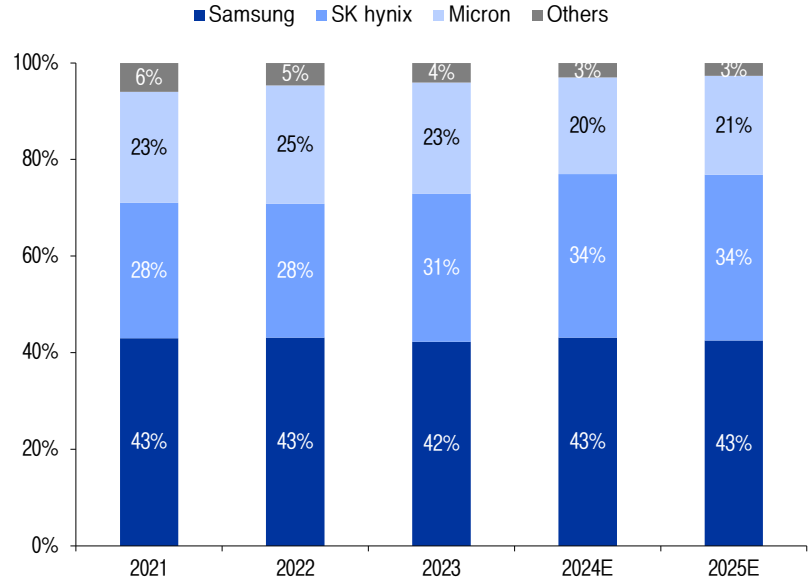
메모리 - DRAM

- DRAM은 빠른 속도로 데이터를 읽고 쓸 수 있음. 하지만 지속해서 전기를 공급해야 데이터가 사라지지 않음.
- 예를 들면 DRAM은 공부하는 사람(CPU)이 사용하는 책상 같은 존재. (퇴근하면 진행 중이던 작업이 사라짐)
- 주요 수요: Server 40%, Mobile 40%, PC(DT+NT) 10%, ETC 10%.
- 주요 공급자: 삼성전자 43%, SK하이닉스 34%, Micron 20%, 기타(CXMT 등) 3%으로 과점 시장.
- DRAM 기술 발전은 미세화: 1x(18nm) → 1y(16nm) → 1z(15nm) → 1a(14nm) → 1b(12.8nm)
- DRAM 모듈 및 제품 종류: RDIMM(서버용), SO-DIMM(PC, 노트북용), LPDDR(모바일용), GDDR(그래픽 DRAM), HBM(고대역폭 메모리) 등

DRAM 수요 비중



DRAM 시장 매출액 기준 점유율



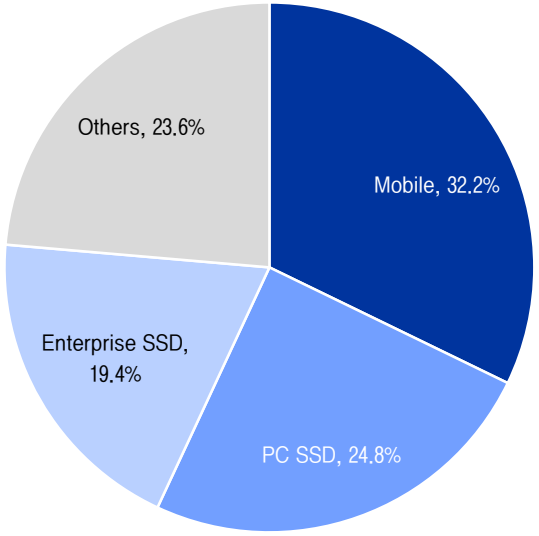
자료: Trendforce, LS증권 리서치센터

메모리 - NAND

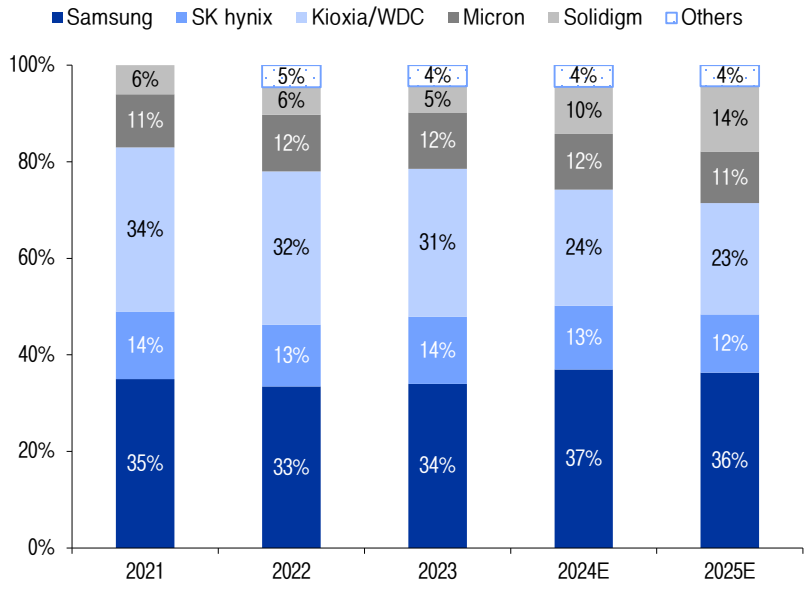
메모리 – NAND

- NAND는 DRAM에 비해 속도가 느리지만 전기가 공급되지 않아도 데이터가 유지됨.
- 예를 들면 NAND는 일하는 사람(CPU)이 일을 마치고 서류를 보관하는 책장 같은 존재. (퇴근해도 작업이 유지됨)
- 주요 수요: Mobile 32%, PC 25%, Server 20%, ETC 25%.
- 주요 공급자: 삼성전자 37%, Kioxia/WDC 24% SK하이닉스 13%(+10% Solidigm), Micron 12% 등으로 아직 경쟁 시장.
- 따라서 DRAM(과점시장) 대비 NAND(경쟁시장)의 수익성이 비교적 낮음.
- NAND 기술 발전은 고층화: 1xxL → 1yyL → 2xxL
- NAND제품 종류: HDD(저렴하고 대용량 구성) Vs. SSD(빠른 속도와 높은 내구성 장점)

NAND 수요 비중



NAND 시장 매출액 기준 점유율

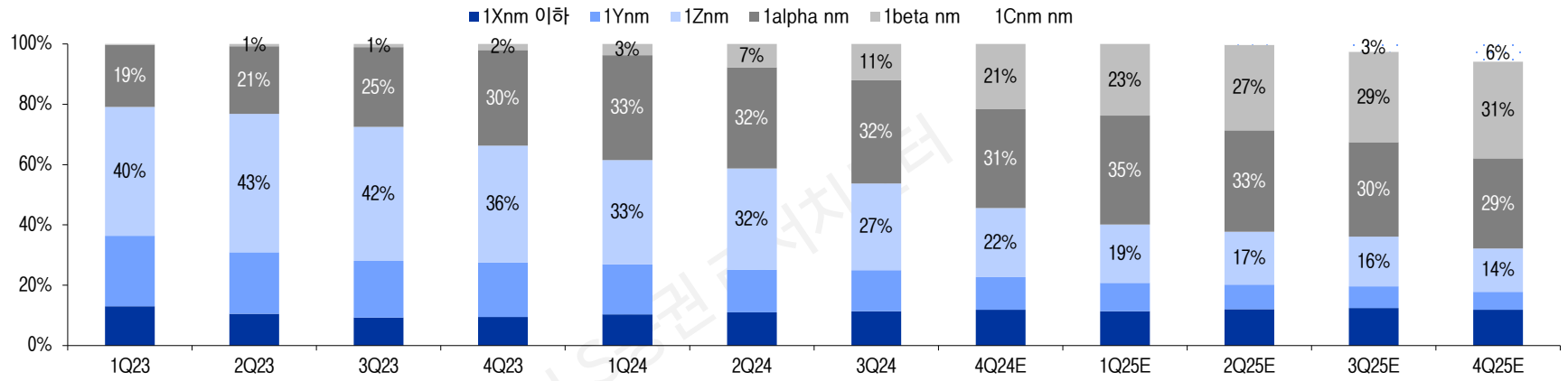


자료: Trendforce, LS증권 리서치센터

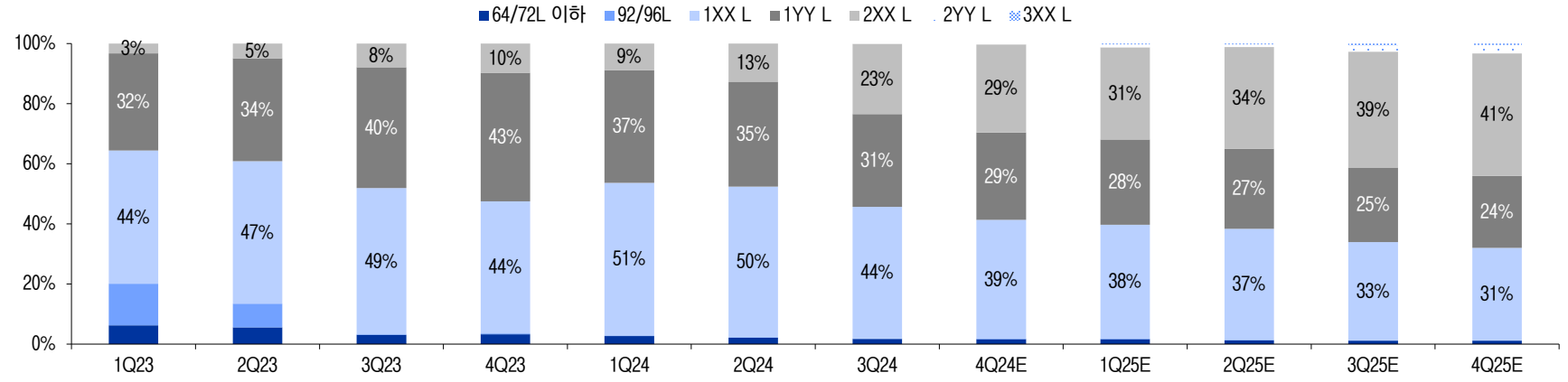
메모리 Tech Node

메모리 Tech Node

DRAM Tech node



NAND Tech node



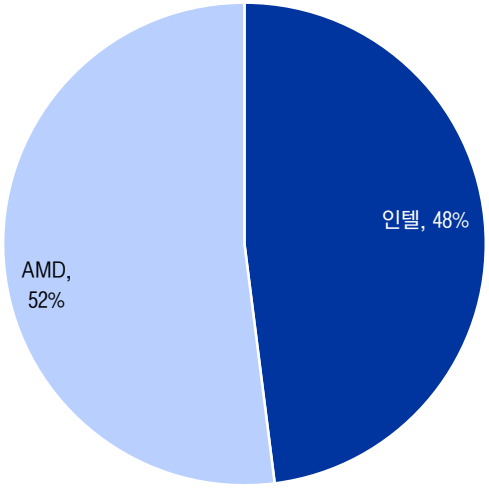
자료: Trendforce, LS증권 리서치센터

시스템 반도체(비메모리)

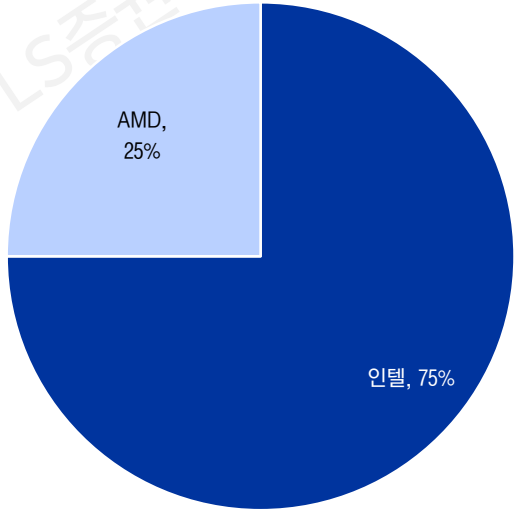
시스템 반도체(비메모리) – CPU & GPU & AP

- CPU(Central Processing Unit): 컴퓨터 중앙처리장치. 복잡한 한 개의 데이터 처리에 장점.
  → Datacenter, PC 등에 쓰임.
- GPU(Graphics Processing Unit): 그래픽 처리 장치. 간단한 다수의 데이터 처리에 장점.
  → 게임용 PC, AI Server 등에 쓰임.
- AP(Application Processor): SoC(System on Chip) 제품으로 CPU, GPU 등을 하나의 칩에 통합한 제품.
  → 공간 제약이 있는 스마트폰 등에 쓰임.

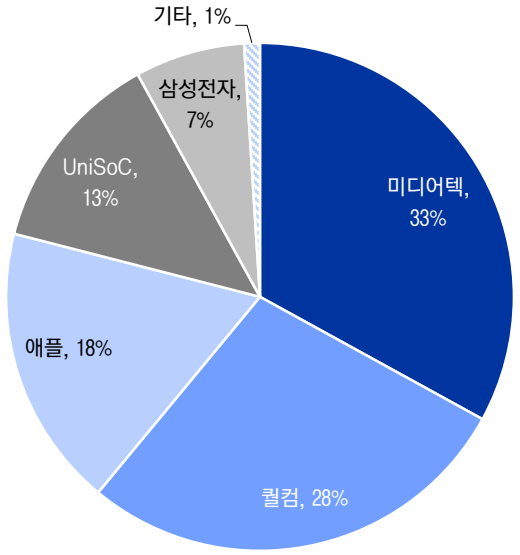
PC 및 노트북 CPU 점유율



Datacenter CPU 점유율



스마트폰 AP 점유율



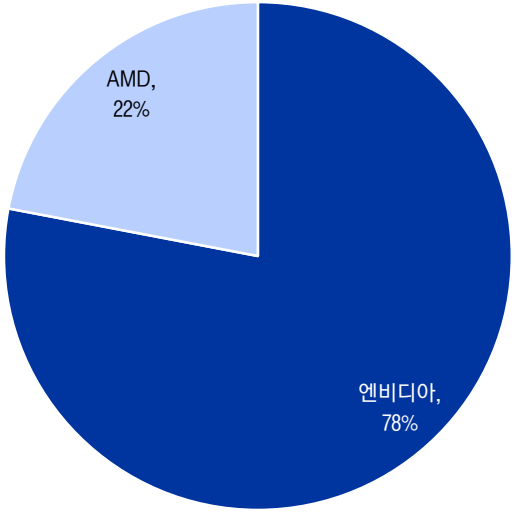
자료: Bloomberg, LS증권 리서치센터

AI Chip

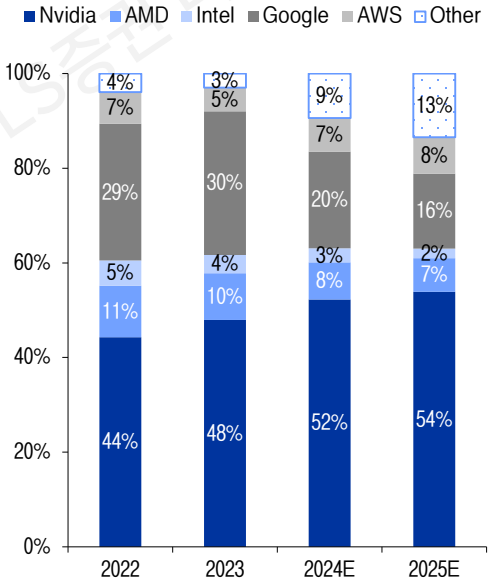
AI Chip

- 기본적으로 AI Chip은 최고 사양 GPU라고 생각할 수 있음. 따라서 기존에 GPU 시장 점유율 1위이던 엔비디아가 앞서나가는 중.
- 2위로는 GPU 시장 점유율을 점차 확보 중인 AMD, 3위로는 Intel이 존재하지만 매출액 기준 점유율은 엔비디아가 90% 내외로 압도적.
- AI Chip의 주요 수요는 빅테크 업체들 ex) Microsoft, Google, Amazon, Meta 등
- ASIC Chip: 최근 AI Chip의 트렌드 중 하나로, 구매만 하던 빅테크 업체들이 자체적으로 칩을 설계해서 파운드리에 주문을 넣고 있음.
  → 엔비디아의 AI Chip은 비싸고 오래 걸리며, 자체 Chip은 필요에 따라 특정 분야의 기능을 특화할 수 있기 때문.
- Ex) Google의 TPU, AWS의 Trainium, Tesla의 Dojo, Microsoft의 Maia 등

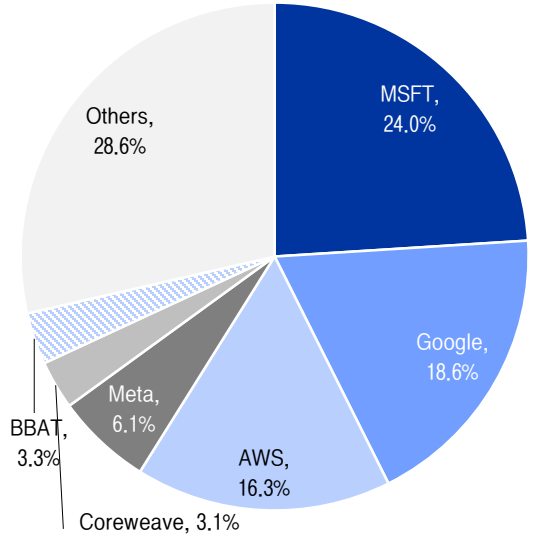
PC 및 노트북 GPU 점유율



AI Chip 점유율



High-End AI Server 점유율

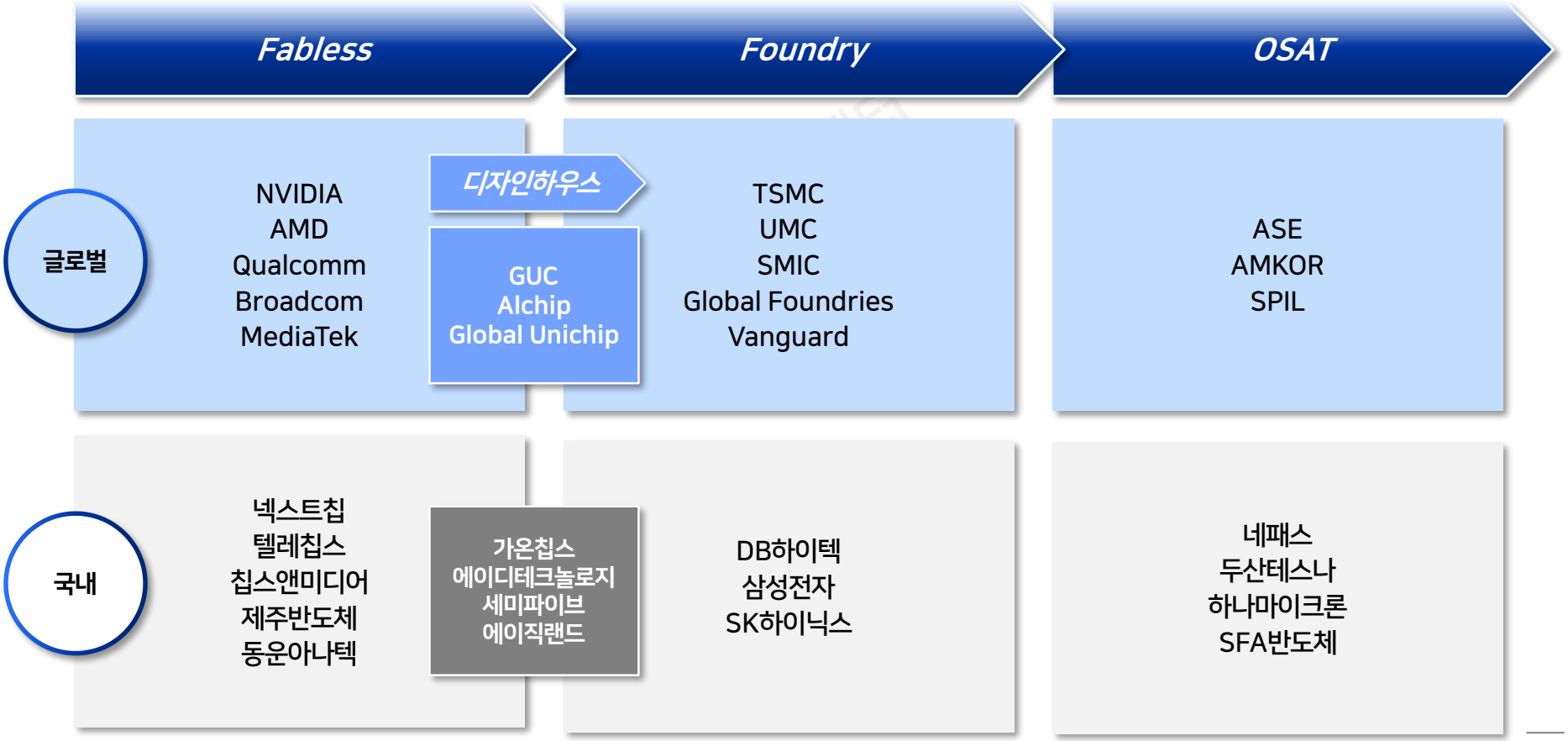


자료: Bloomberg, Trendforce, LS증권 리서치센터

비메모리 반도체 생태계

● 비메모리 반도체 Overview

해외 비메모리 반도체 생태계 대비 국내 생태계는 상대적으로 취약함



자료: LS증권 리서치센터

전공정(Fab 공정) 순서

● 전공정(Fab 공정) 순서

- Wafer 생산 이후 진행되는 회로 및 구조 형성 공정을 전공정이라 칭함
- 핵심 공정인 산화공정 → 포토(노광)공정 → 식각공정 → 박막(증착)공정 → 금속 배선 공정으로 이어짐
- 전공정은 약 400~600개 공정으로 이루어져있으며 반드시 해당 순서로 진행되는 것은 아니고 설계에 따라 공정 순서가 달라지기도 함.

전공정(Front-End process)

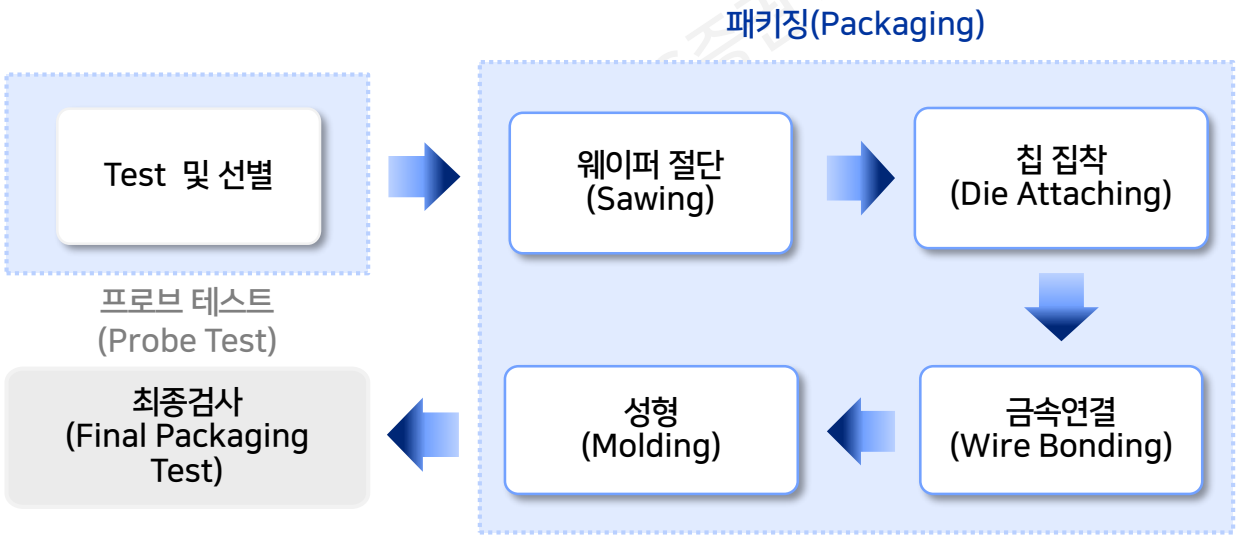
자료: LS증권 리서치센터

후공정(Back-End process)

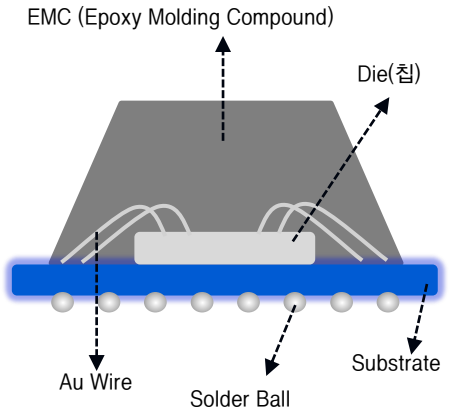
● 후공정(Back-End process)

- 전공정이 끝나고 가공된 웨이퍼를 잘라 각각의 칩을 테스트, 패키징을 거쳐 완성품으로 만드는 과정을 '후(後)'공정이라고 함
- 기존 후공정은 포장 및 테스트 하는 작업 위주로 기술보다는 노동집약적 산업으로 부가가치가 높지 않은 산업이었음
- 최근 공정전환의 난이도 증가로 전공정 과정이 한계에 부딪힘에 따라 후공정의 중요성 증가

후공정(Back-End process)



패키징 공정(Packaging) 완료된 모습



자료: LS증권 리서치센터

Part II

반도체 전공정

전공정 공정별 개요 및 관련 업체 정리

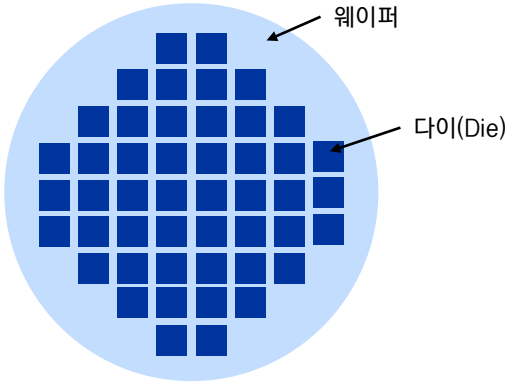
- 주요 용어 정리
- 전공정 기술 개요
- 전공정 관련 기업

주요 용어 정리

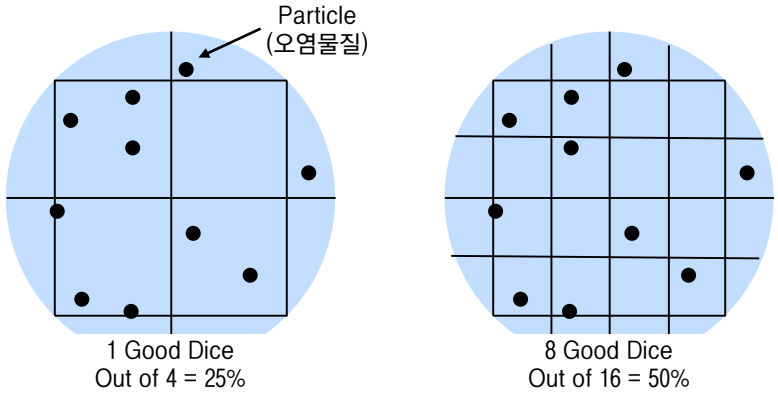
주요 용어 정리

- **웨이퍼(Wafer):** 실리콘(모래에서 추출한 규소)로 만든 반도체의 기반. 12인치와 8인치(레거시) 웨이퍼를 사용함.
- **다이(Die):** 반도체 칩의 회로가 구현되는 영역. 칩은 후공정까지 완료된 반도체를 의미.
- **넷다이(Net Die):** 웨이퍼 내에서 생산 가능한 Die의 숫자
- **수율(Yield):** 전체 넷다이 중 양산품(Good Die)의 비율
- **Capa:** 반도체 업계에서는 주로 1달에 공정 투입하는 Wafer 숫자로 Capa를 표기 Ex) 10K/m
- **Contents/Box:** 기기 당 탑재 용량을 의미. 주로 메모리 업계에서 쓰임.
- **나노미터(nm):** 반도체 회로 선폭에 사용되는 단위. (1nm=1/10억m)
- 다만 최근에는 실제 선폭의 길이 축소보다는 다양한 방식으로 성능을 개선시키며 nm는 마케팅적 의미가 강해짐.
- 반도체 미세화의 장점: ① 고성능(동일 면적 더 많은 회로), ② 저전력(동일 회로 더 작은 칩), ③ 수율 향상

웨이퍼와 다이(Die)



반도체 미세화와 수율의 관계



자료: SK하이닉스, LS증권 리서치센터

웨이퍼 제조 및 반도체 설계

● 웨이퍼 제조 및 반도체 설계

- 회로 설계

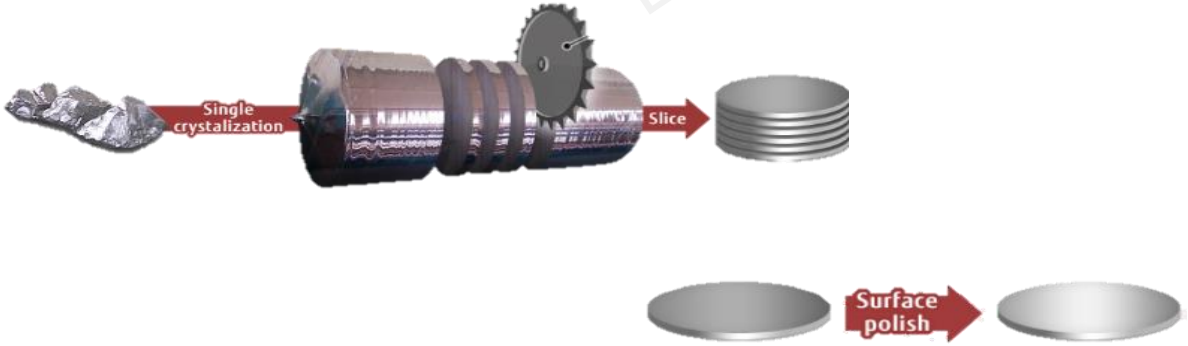
- 트랜지스터 등의 소자 모델을 바탕으로 회로 디자인 진행하는 과정
- CAD 시스템으로 실제 Wafer 위에 그려질 회로 패턴과 전자회로를 설계하는 것

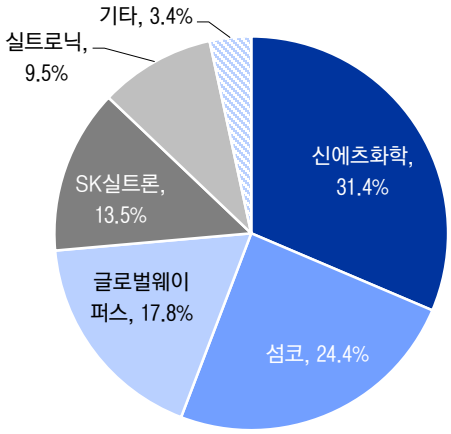
- 마스크(Mask) 설계

- 설계한 회로 패턴을 유리판에 새기는 과정
- 규칙에 맞도록 반도체 소자/배선을 그림으로 그려내고 배치하는 것을 레이아웃(Layout)이라고 하며, 레이아웃을 만드는 작업을 마스크 설계라고 함

웨이퍼 제조 및 반도체 설계 순서

잉곳(Ingot) 만들기 → 잉곳 절단 → 웨이퍼 표면 연마 (Lapping & Polishing) → 회로 설계 → 마스크(Mask) 설계





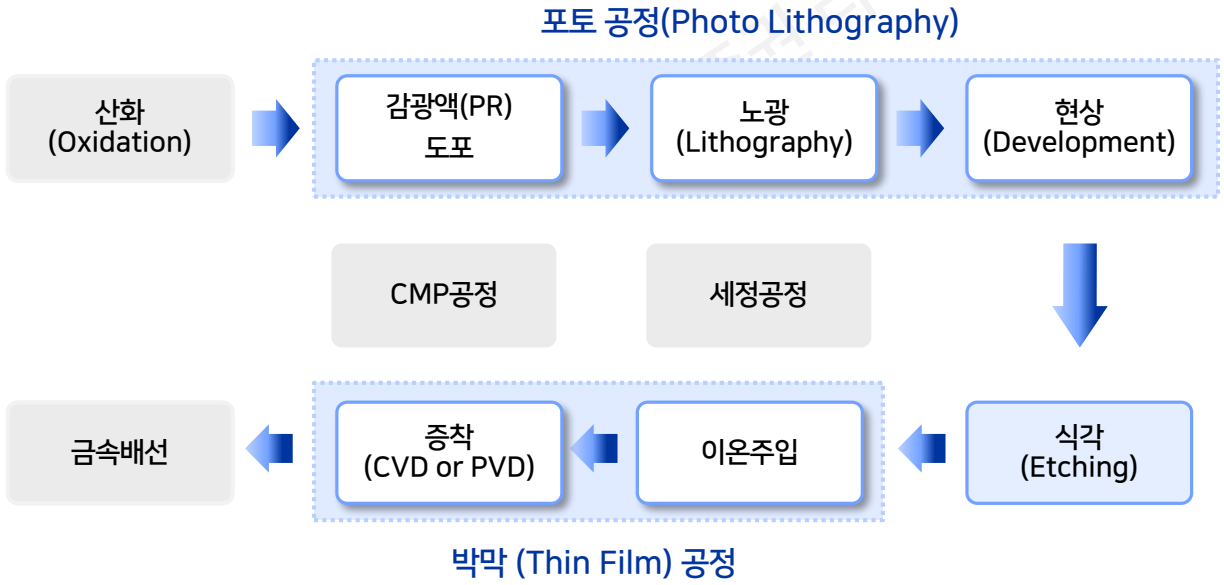
자료: Shinko, Bloomberg, LS증권 리서치센터

전공정(Fab공정) 순서

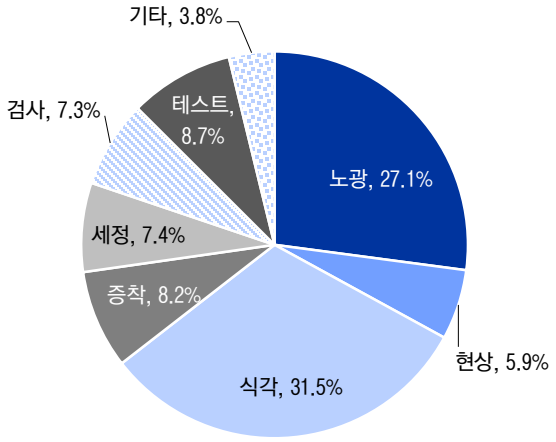
● 전공정(Fab 공정) 순서

- Wafer 생산 이후 진행되는 회로 및 구조 형성 공정을 전공정이라 칭함
- 산화공정(★) → 포토(노광)공정(★★★) → 식각공정(★★★) → 박막(증착)공정(★★★)
  → 금속배선공정(★) / CMP 공정(★★), 세정공정(★★)
- 전공정은 약 400~600개 공정으로 이루어져있으며 반드시 해당 순서로 진행되는 것은 아니고 설계에 따라 공정 순서가 달라지기도 함.

전공정(Front-End process)



글로벌 장비 시장 점유율



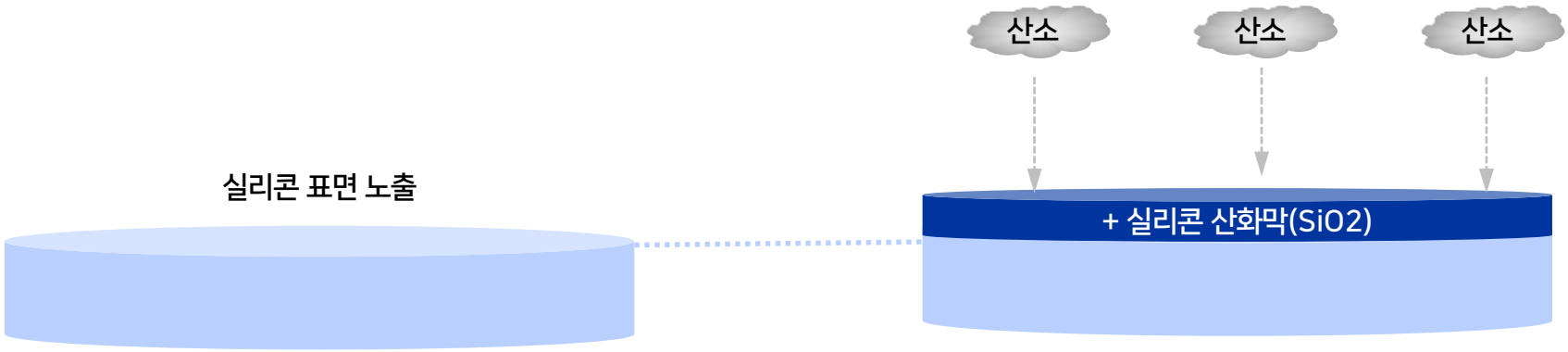
자료: Bloomberg, LS증권 리서치센터

산화 공정(Oxidation Layering)

산화 공정(Oxidation Layering)

- 실리콘 표면의 산화를 통해 얇은 막을 증착 (Layering) 하는 대표적인 방법
- 고온(800~1200도)에서 산소나 수증기를 Wafer 표면에 뿌려, 얇고 균일한 실리콘 산화막을 형성시키는 과정
  * Furnace: 고온을 유지하여 가열하는 장비
- 형성된 산화막은 공정 시 발생하는 불순물(오염물 or 화학물질)로부터 실리콘 표면을 보호함
- 산화공정은 크게 건식(산소) 산화 반응과 습식(수증기) 산화로 나뉨
- 국내 관련 기업: 원익IPS, AP시스템(RTP장비)

Oxidation Layering 공정



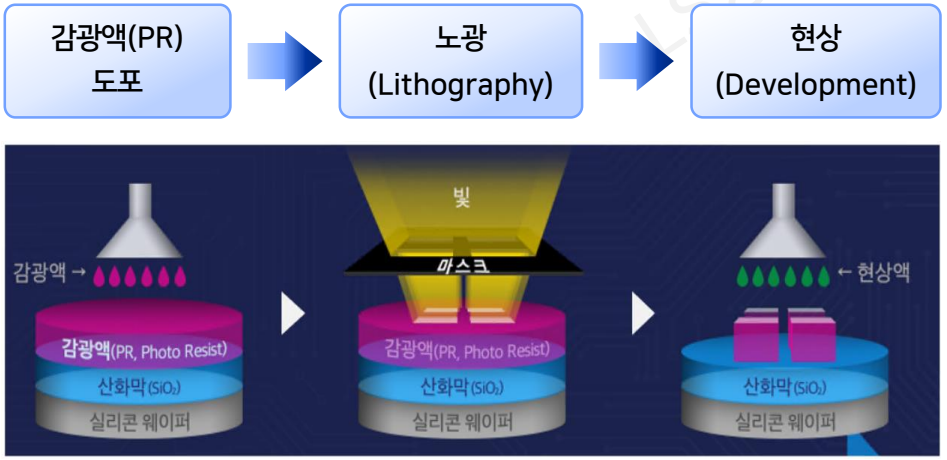
자료: LS증권 리서치센터

포토공정 & 포토레지스트(PR)

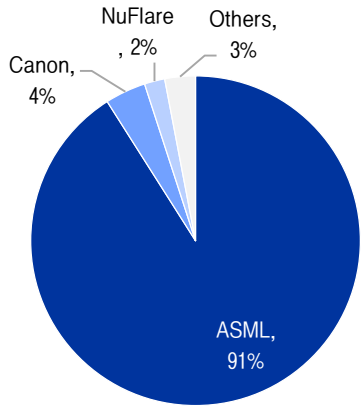
● 포토공정 & 포토레지스트(PR)

- [포토 공정]
- 반도체 제조 공정에서 공정 비용의 약 35%, 공정시간의 60%이상을 차지하는 핵심 기술로 가장 난이도가 높고 중요한 공정
- **감광액 도포(PR coating, Photo-Resist coating)**: 웨이퍼 표면에 감광액을 균일하게 도포한 후, 빠르게 회전하여 균일한 두께의 얇은 PR 막 형성
- **노광(Lithography or Exposure)**: 노광장비를 사용하여 마스크(Mask)에 그려진 회로 패턴에 빛을 통과시키고 회로 패턴 사진을 찍는 과정.
- **현상(Development)**: 웨이퍼에 현상액을 뿌려가면서 노광된 영역과 노광되지 않은 영역을 선택적으로 제거하며 패턴을 만드는 과정
- 균일하게 코팅된 감광액은 빛에 반응하는 형태에 따라 양성(Positive) 혹은 음성(Negative)으로 구분되면서 패턴을 형성하게 됨

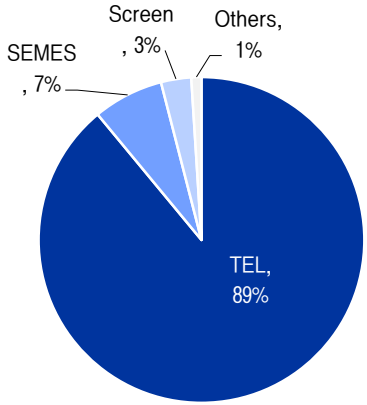
포토공정



노광 장비 점유율



현상 장비 점유율



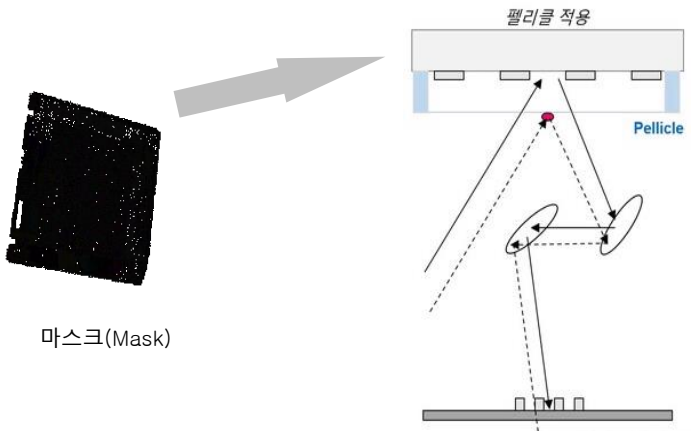
자료: 삼성전자, Bloomberg, LS증권 리서치센터

포토공정(Lithography)

● 포토공정(Lithography)

- **마스크(Mask)**: 노광을 원하는 회로의 설계가 그려져 있는 도면
- **노광 광원**: 광원의 종류에 따라 파장이 다름.(= 짧을수록 미세회로 구현 가능)
- **펠리클(Pellicle)**: 마스크에 생기는 이물질을 보호해주는 부품
- 국내 기업: 에스앤에스텍(마스크, 펠리클), 에프에스티(펠리클), 파크시스템스 (Mask Repair 장비), 동진쎄미켐(포토레지스트)

포토 공정 원리



마스크(Mask)

노광공정 광원 종류

연도	1990	1995	2003	2008	2018
파장 (nm)	365	248	193	193	13.5
광원	i-line	KrF	ArF	ArF Immersion	EUV
Pitch (nm)	500	200	70	40	14 이하

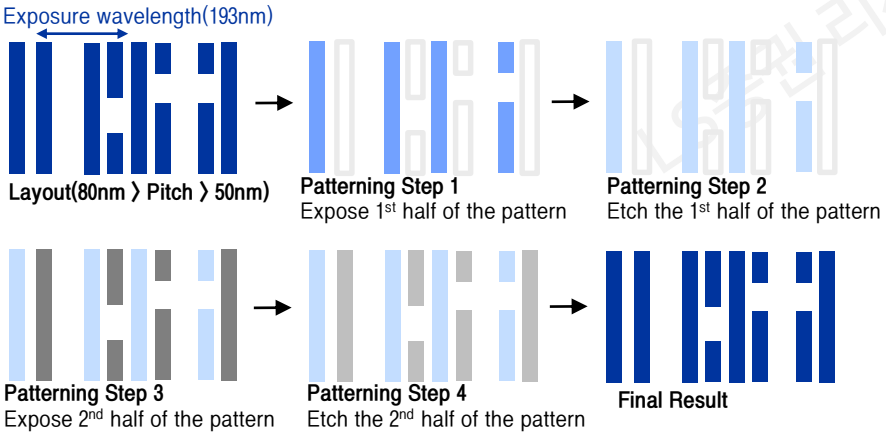
자료: ASML, LS증권 리서치센터

EUV(Extreme Ultraviolet) vs MTP(Multi Patterning)

EUV(Extreme Ultraviolet) vs MTP(Multi Patterning)

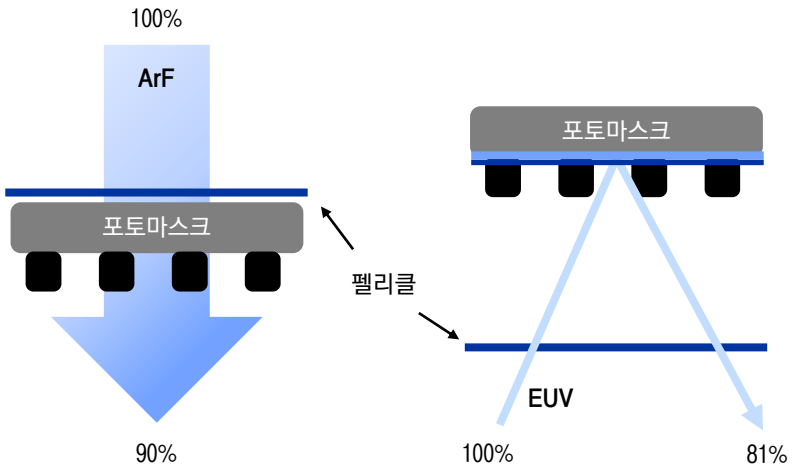
- ASML의 노광장비 가격: ArF-i: 1천억원이하 / EUV: 2~3천억원 / High-NA EUV 5천억원
- EUV가 반입이 불가능한 중국 및 작은 기업들은 MTP(멀티패터닝)을 활용하여 선단 공정 구현
- 하지만 EUV를 사용하면 노광 공정 횟수(Litho Steps)를 확연히 줄일 수 있음.
- 2023년 기준 EUV 추정 보유 수: TSMC 95대 / 삼성전자 56대 / Intel 18대 / SK하이닉스 6대
- DRAM 1z 1개 Layer → 1a & 1bnm 4~5개 Layer로 증가
- EUV전용 PR(포토레지스트), Mask, Pellicle 등이 필요함. 특히 EUV용 Pellicle은 투과율 문제로 본격적인 상용화 이전.

MTP(멀티 패터닝)



Node	28nm	20nm	10nm	7nm all immersion	7nm all EUV
#: lithography steps	6	8	23	34	9
→: critical alignment overlay step	7	9-11	36-40	59-65	12

ArF vs EUV Pellicle

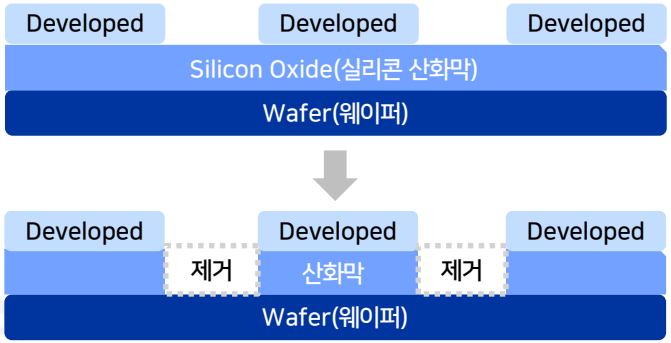


자료: ASML, 삼성전자, LS증권 리서치센터

식각(Etching) 공정

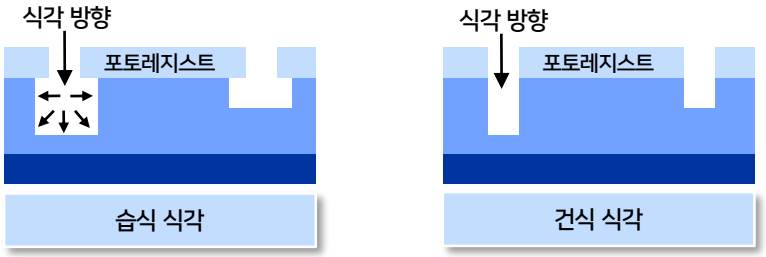
식각(Etching) 공정

- 노광 공정에서 형성한 패턴을 따라 산화막을 깎아내는 공정.
- 국내 관련 업체: 브이엠(식각 장비), 솔브레인, SK머티리얼즈, 후성 (식각액)
- 국내 식각 부품 업체(Si Ring, Electrode): 티씨케이, 하나머티리얼즈, 월덱스, 케이엔제이

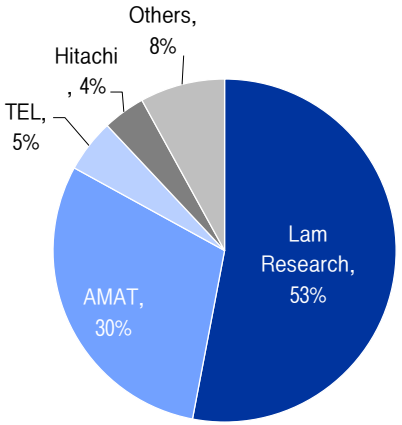


식각공정 종류

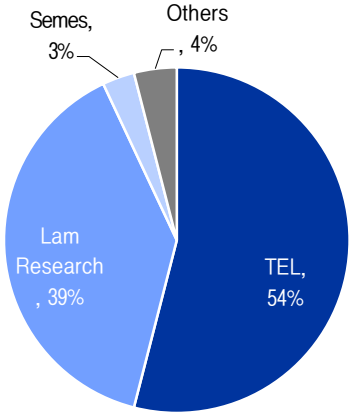
Wet Etching (습식 식각)	원리: 식각 용액을 통한 화학적 반응으로 깎아냄
	장점: 저비용 / 공정 난이도 쉬움 / 식각 속도 빠름
	단점: 정확성이 떨어짐 / 웨이퍼 오염 위험 존재
Dry Etching (건식 식각)	원리: 가스를 활용한 물리/화학적 반응으로 깎아냄
	장점: 정확성 높음 / 미세 공정에 주로 활용
	단점: 고비용 / 공정 난이도 어려움 / 식각 속도 느림



Conductor(전도체) 식각



Dielectric(유전체) 식각



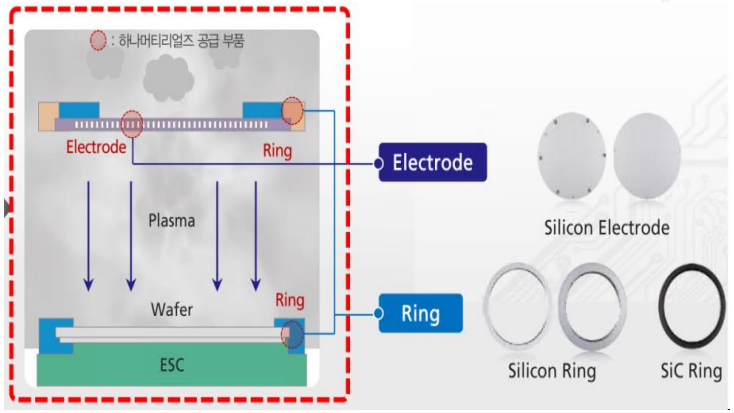
자료: SK하이닉스, LS증권 리서치센터

식각(Etching) 장비 부품

식각(Etching) 장비 부품

- 식각 장비 부품은 Electrode(가스가 균일하게 내려오도록 함)과 Ring(Wafer 고정 및 가스가 균일하게 분포되도록 함.)
- Focus Ring은 기존에 Si 위주로 사용되었으나 식각 공정의 강도 증가로 내구성이 높은 SiC도 적극적으로 채택되는 중.
- 식각 부품 업체 종류: 비포 마켓(Ring 제조사 → 식각 장비 업체 → 반도체 제조사), 애프터 마켓(Ring 제조사 → 반도체 제조사)
  - 비포 마켓(티씨케이, 하나머티리얼즈): 중간 유통이 있어 가격이 높지만 품질 보증을 해줌. 반도체 Up Cycle Outperform.
  - 애프터 마켓(월덱스, 케이엔제이): 직납이라 저렴하지만 고장날 경우 장비사와 문제의 소지가 있음. 반도체 Down Cycle Outperform.
- 하나머티리얼즈는 TEL, 티씨케이는 AMAT과 램리서치 고객사 비중이 높음.
- 기존 Channel Hole Etching 공정은 램리서치 점유율이 100%였지만 최근 TEL이 성능 우위의 극저온 식각 장비 출시로 추격 중에 있음.
- 부품 세정/코팅 업체: 코미코, 한솔아이윈스

식각 장비 부품



NAND 제조 업체별 Tech Roadmap

업체	2018	2019	2020	2021	2022	2023	2024	2025
삼성전자	92단		128단		176단 (Double Stack)	236단 (Double Stack)	300단 (Double Stack)	400+단 (Triple Stack)
Kioxia/ WDC		92단 (Double Stack)		112단 (Double Stack)		162단 (Double Stack)	218단 (Double Stack)	
SK 하이닉스		92단 (Double Stack)	128단 (Double Stack)		176단 (Double Stack)		238단 (Double Stack)	321단 (Triple Stack)
Micron		92단 (Double Stack)	128단 (Double Stack)	176단 (Double Stack)		232단 (Double Stack)		300+단 (Triple Stack)

자료: 하나머티리얼즈, LS증권 리서치센터

세정(Cleaning) 공정

● 세정(Cleaning) 공정

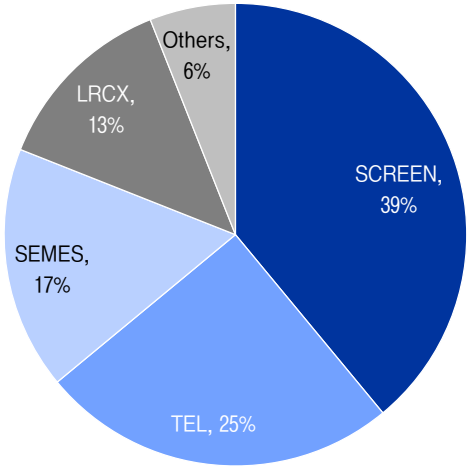
- 세정공정: 공정 진행 후 웨이퍼 표면에 남아 있는 화학적/물리적 잔류물을 씻어내는 공정. 400-500개의 반도체 메인 공정 중 약 15%를 차지하는 중요 공정으로써, 해당 공정을 제대로 진행하지 않으면 수율이 급격하게 떨어져 제품의 성능과 신뢰성에 악영향을 끼치게 됨
  * 잔류물 종류: PR 찌꺼기, 식각공정 시 2차적으로 붙어있는 화학물질, 공중 부유물이 내려앉은 파티클, 앞 공정단의 유기물/금속잔류물
- 세정공정 종류: 습식(Wet)세정, 건식(Dry)세정, 증기(Vapor)세정
- 주로 대부분의 세정은 습식세정으로 이루어지지만 패턴 미세화로 인해 점차 건식세정이 도입되고 있는 추세.
- Batch Type(여러 개의 웨이퍼 동시 처리해서 빠르지만 성능 낮음)
  Single Type(한 개의 웨이퍼만 처리해서 느리지만 성능 높음)
- 국내 기업: 세정 장비(SEMES, 제우스, 엘티씨, 피에스케이(드라이 클리닝)),
  소재(한솔케미칼, 솔브레인, 이엔에프테크놀로지, 원익머트리얼즈)

세정공정 종류

Wet Cleaning (습식 세정)	원리: 화학 용액을 사용하여 세정함
	장점: 저비용 / 공정 난이도 쉬움 / 세정 속도 빠름
	단점: 정확성이 떨어짐 / 웨이퍼 오염 위험 존재
Dry Cleaning (건식 세정)	원리: 용액 이외의 매체(레이저, 플라즈마 등)을 사용하여 세정함
	장점: 정확성 높음 / 미세 공정에 주로 활용
	단점: 고비용 / 공정 난이도 어려움 / 세정 속도 느림

자료: Bloomberg, LS증권 리서치센터

세정공정 장비 점유율

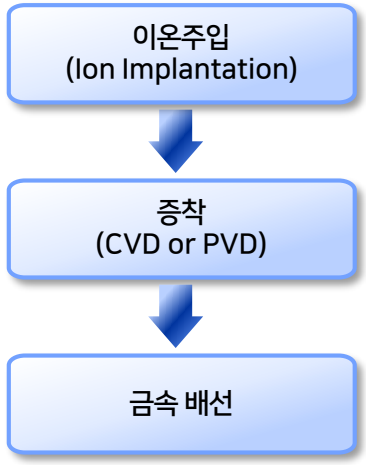


박막(Thin Film) 증착 공정

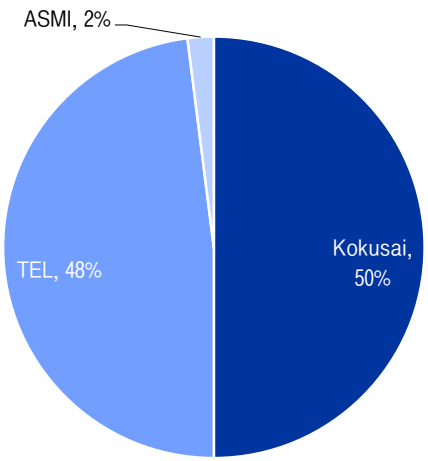
박막(Thin Film) 증착 공정

- cf. 산화공정은 실리콘옥사이드막으로 치환되면서 박막이 형성되는 반면, 일반적인 박막공정은 실제 웨이퍼 위에 새로운 막을 얹는 방식
- **이온 주입(Ion Implantation)**
- 실리콘 웨이퍼가 반도체의 성질을 갖게 하는 과정 (원래는 규소가 원재료라서 부도체)
- 불순물(Dopant)을 미세한 가스 입자로 만들어 웨이퍼 내부에 침투시켜 반도체 성질을 갖게 됨
- **증착(CVD / PVD / ALD)**
- 회로 간의 구분과 연결/보호 역할을 하는 얇은 박막 형성
  웨이퍼 위에 원하는 분자 or 원자 단위의 물질을 입혀 전기적인 특성을 갖게 하는 일련의 과정
- **금속 배선**
- 소자와 소자, 배선과 배선을 잇는 공정.
  결과적으로 웨이퍼 표면에 형성된 회로 패턴을 따라서 금속선(전기길)을 연결하는 과정

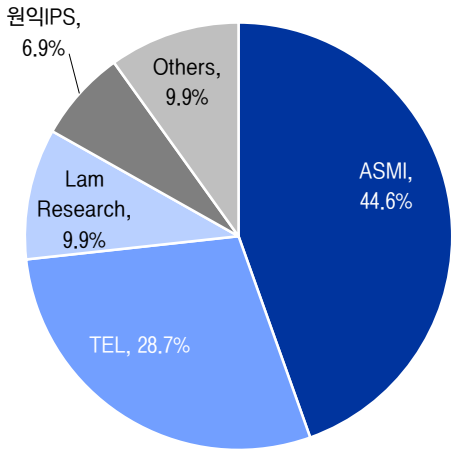
박막 증착 공정



CVD 증착 장비 점유율



ALD 증착 장비 점유율



자료: Bloomberg, LS증권 리서치센터

증착 공정(PVD, CVD)

● 증착 공정(PVD, CVD)

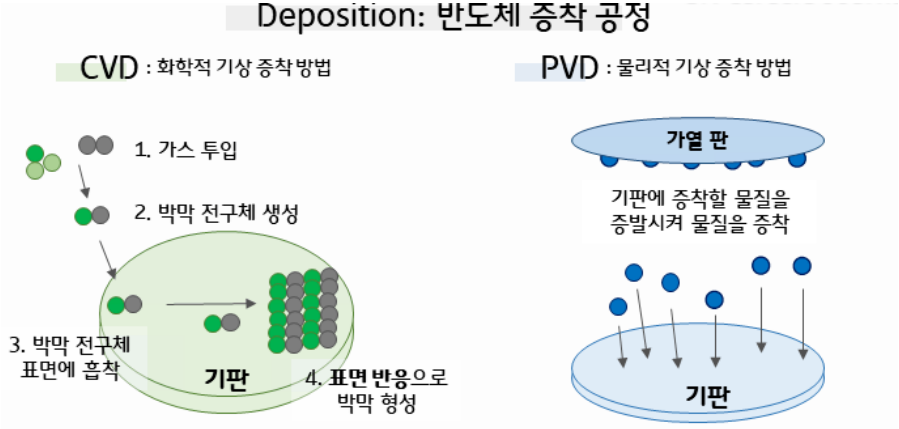
- Wafer위에 원하는 물질을 박막 두께로 올려서 전기적 특성을 갖게 하는 공정으로, 박막의 균일한 정도에 따라 품질이 좌우됨
- 크게 PVD/CVD/ALD로 나뉘는데, 현재 CVD를 주로 사용하고 있으며 ALD로 공정 전환 중에 있음
- **PVD(Physical Vapor Deposition)**: 물리적 증착 방법으로 주로 금속 박막의 증착에 사용됨. 증착하고자하는 물질에 직접적으로 에너지를 인가하고 입자를 웨이퍼까지 이동시켜 증착하는 방식. 일반적으로 스퍼터링(Sputtering) 방식을 사용
- **CVD(Chemical Vapor Deposition)** : 화학적 기상 증착 방법. 챔버 안에 반응할 가스(Chemical)을 주입하고 가스에 에너지를 인가하여 화학 반응 유도 후 증착. 전구체(Precursor, 프리커서)들의 반응을 통해 박막을 형성하며 PVD 대비 Step coverage가 좋음
- **Step Coverage(단차피복성)**: 웨이퍼 위의 박막 두께의 균일도를 나타냄.

증착 종류별 특성 비교

	막 두께	Particle (오염 물질)	Step Coverage (균일도)	생산성 (공정속도)
PVD	높음	낮음	낮음	높음
CVD	낮음	높음	중간	중간
ALD	낮음	낮음	높음	낮음

자료: SK하이닉스, LS증권 리서치센터

PVD와 CVD 방식의 비교

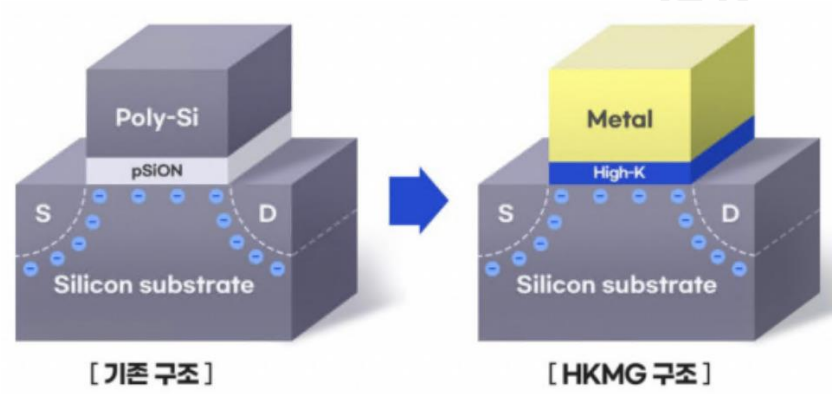


증착 공정(ALD: Atomic Layer epitaxy Deposition)

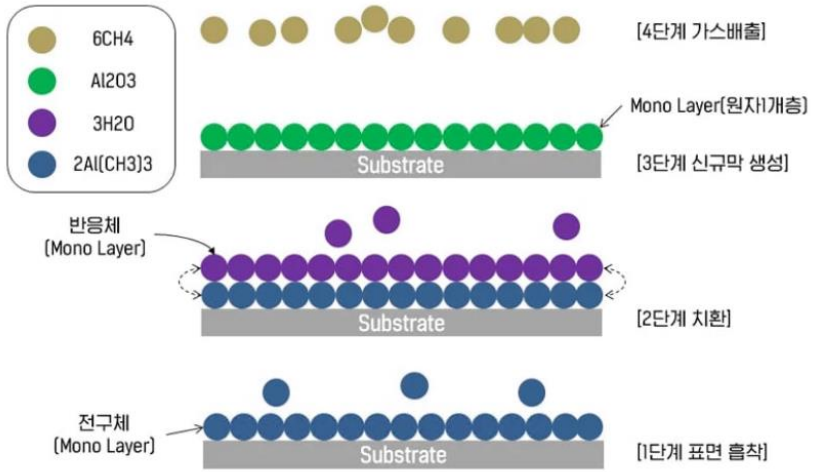
● 증착 공정(ALD: Atomic Layer epitaxy Deposition)

- ALD 방식은 CVD와 유사한 화학적 방식이지만 한 사이클 당 한 개의 원자층만 쌓이게 함.
- CVD(여러 소스를 동시에 공급해 한꺼번에 막이 쌓이게 함) / ALD(순서에 맞추어 차례로 소스를 공합하여 한 원자층 씩 쌓이게 함)
- 반도체 집적화로 절연막이 얇아지면서 전류가 누설되는 문제가 발생함. 이를 해결하기 위해 유전율(K)이 높은 High-K의 소재 도입이 추진됨.
- 다만 High-K 소재는 울퉁불퉁하여 섬세한 ALD 공정을 주로 적용하고 있음.
- ALD 공정은 막 균일도가 높고 나노 단위의 섬세한 코팅이 가능하지만 공정 속도가 느리다는 단점이 있음.
- 국내 기업: 장비(주성엔지니어링, 유진테크, 원익IPS), 전구체 – Low-K(솔브레인, 덕산테코피아) / High-K(디엔에프, 레이크머트리얼즈)

High-K 구조



ALD(Atomic Layer epitaxy Deposition) 공정 단계



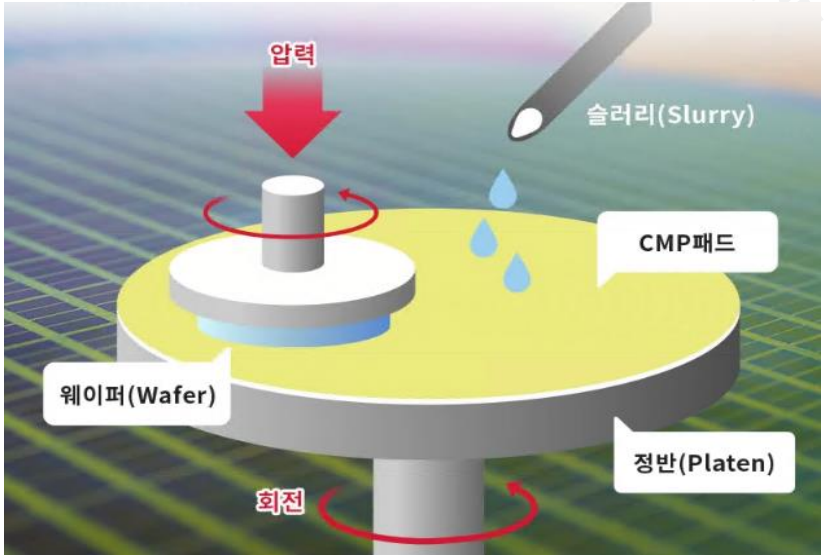
자료: 삼성전자, SK하이닉스, LS증권 리서치센터

CMP(Chemical Mechanical Polishing)

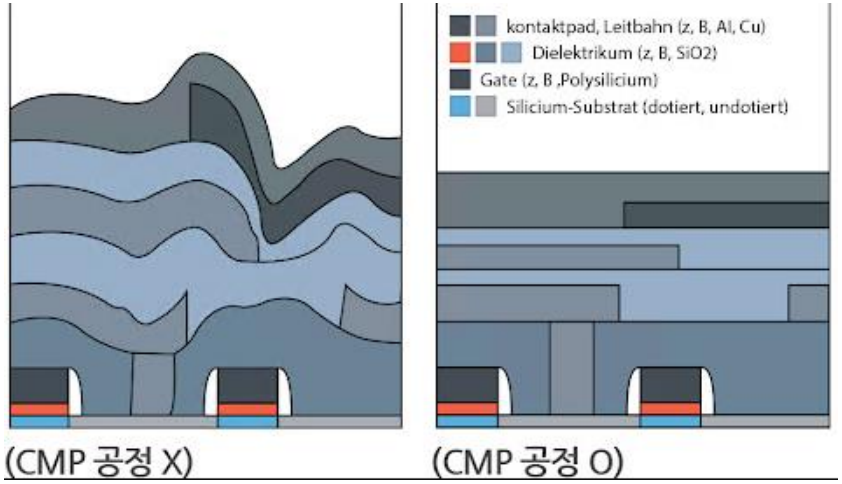
● CMP(Chemical Mechanical Polishing)

- 증착 공정 이후, 화학적 or 기계적인 방법으로 웨이퍼 표면에 있는 박막을 갈아내는 공정
- 도입배경: 금속 배선의 다층화 및 반도체 소자의 집적도 증가, 노광 장치의 초점심도 마진 증가, 식각 공정 시 Stringer 발생
  → CMP 공정을 통해 웨이퍼 표면의 굴곡을 감소시키고, 공정 효율 및 수율 개선 기대
- 최근 HBM의 적층 수 증가로 두께가 얇아지며 CMP 공정에 대한 수요도 증가하고 있음
- CMP장비(케이씨텍), CMP패드(듀폰, SKC, 에프앤에스테크), CMP 슬러리(솔브레인, 케이씨텍, 동진쎄미켐)

CMP 공정



CMP 공정의 효과

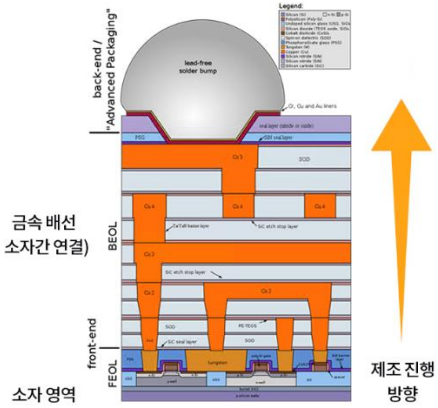


자료: SK하이닉스., LS증권 리서치센터

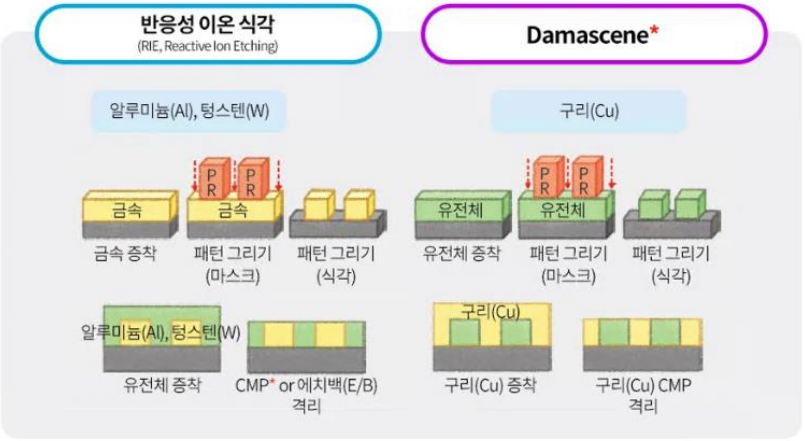
금속 배선 공정(Metal Interconnect)

● 금속 배선 공정(Metal Interconnect)

- 앞선 주요 공정들로 소자 영역이 형성되지만 소자들로만으로는 아무 의미가 없음.
- 트랜지스터(소자)들은 전원공급 및 소자들간 연결이 필요한데 이를 이어주는 회로를 구성하는 것이 금속 배선 공정
- 금속 배선 공정도 노광, 식각, 증착 등의 공정을 거쳐서 형성됨.
- 주요 소재별 특성
- **알루미늄(Al)**: 공정이 쉬우며 가격이 저렴 하지만 내구성이 약함.
- **구리(Cu)**: 내구성이 좋지만 식각 공정이 어렵다는 단점이 있음.

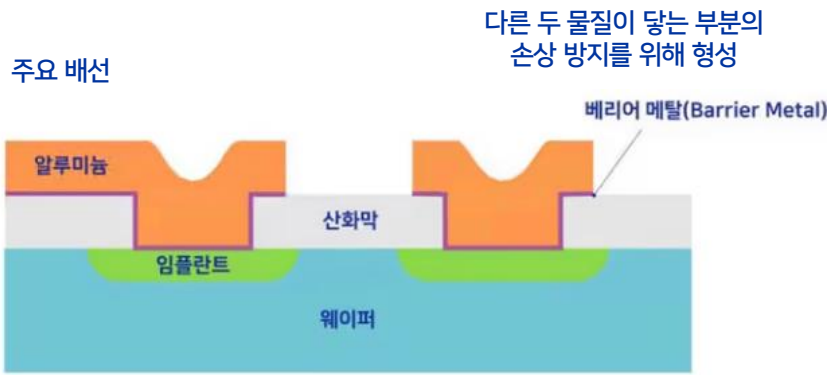


금속 배선 공정의 순서



* Damascene : 사전적으로 '상감하다'는 의미의 표현, 반도체 공정에서는 필요한 부분만 금속으로 채우는 기법을 의미한다.
* CMP(Chemical Mechanical Polishing) : 물리적, 화학적 반응으로 연마해 평평하게 만드는 공정

금속 배선 공정



자료: SK하이닉스, LS증권 리서치센터

Part III

반도체 후공정

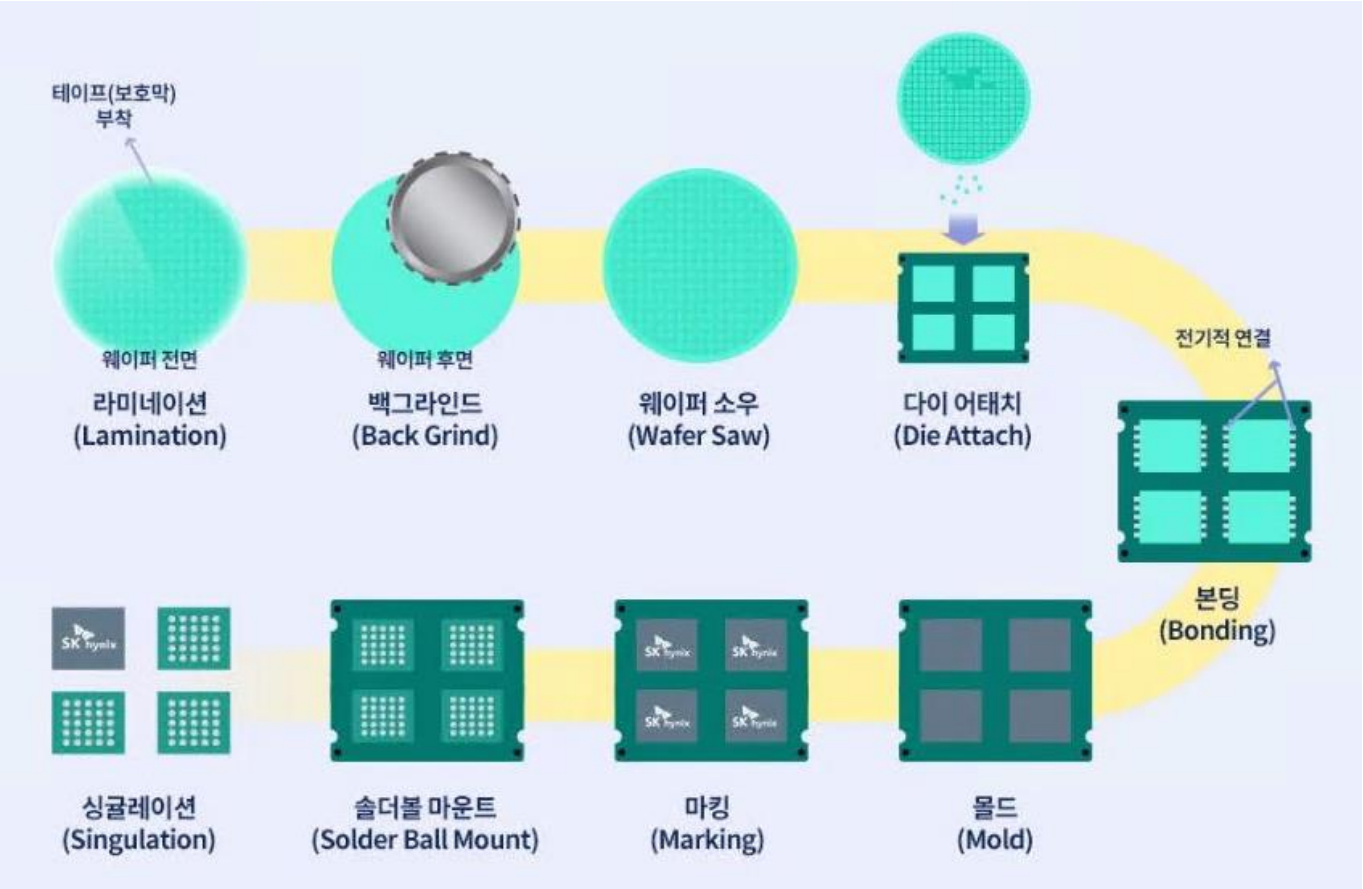
후공정 공정별 개요 및 관련 업체 정리

- 후공정 기술 개요
- 후공정 관련 기업
- Advanced Packaging 정리

후공정 주요 순서

● 주요 공정 순서

- 웨이퍼 테스트 → 백그라인딩 → 쏘잉 → 본딩 → 몰딩 → 마킹 → 솔더볼 마운트 → 싱귤레이션 → 파이널 테스트



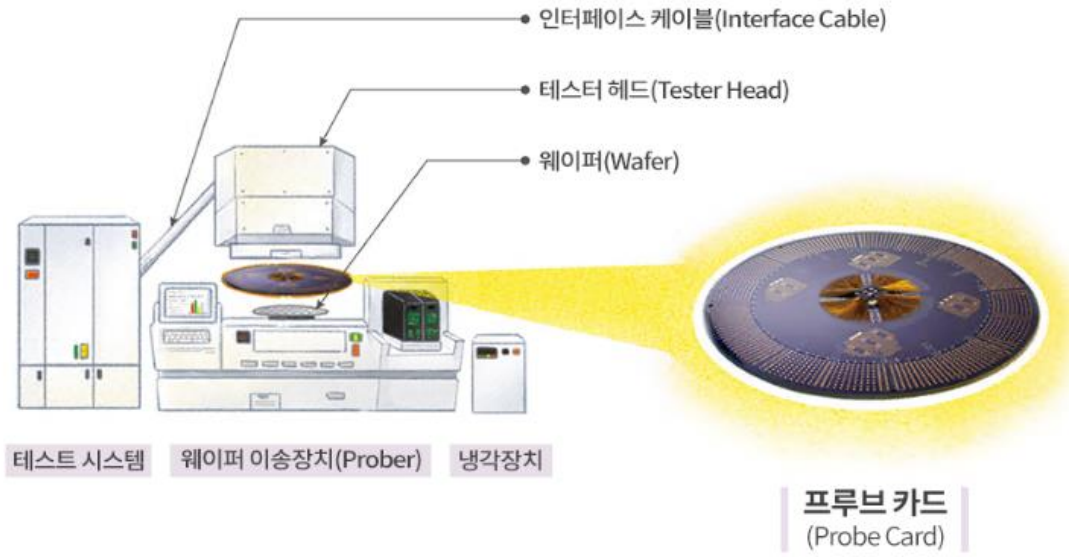
자료: SK하이닉스, LS증권 리서치센터

Wafer Test(웨이퍼 테스트)

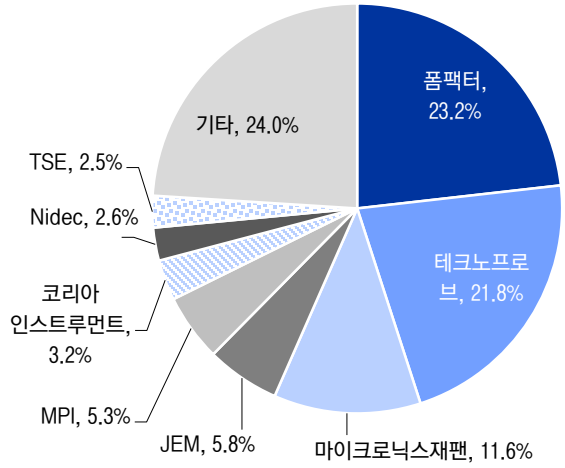
Wafer Test(웨이퍼 테스트)

- 개별 Chip으로 자르기 전 Wafer 상태로 특성과 품질을 테스트하는 과정.
- EPM(Electrical Parameter Monitoring, 전기적 신호) → Wafer Burn in(웨이퍼 번인, 열 검사) → Test → Repair → Test로 진행.
- Test 과정에서는 탐침(물리적 접촉을 하는 바늘 모양의 침)이 형성되어 있는 프로브 카드(Probe Card)를 사용함.
- 관련 기업
- **테스트 장비**: Teredyne(미), Advantest(일), 엑시콘, 네오셈, 와이씨, 디아이
- **프로브카드**: 폼팩터(미), 테크노프로브(이탈), 마이크로닉스재팬(일), JEM(일), MPI(대만), 티에스이, 샘씨엔에스, 타이거일렉, 피엠티
- **OSAT**: 두산테스나, 하나마이크론, 엘비세미콘, 네패스아크

웨이퍼 테스트 장비 구조



프로브카드 점유율



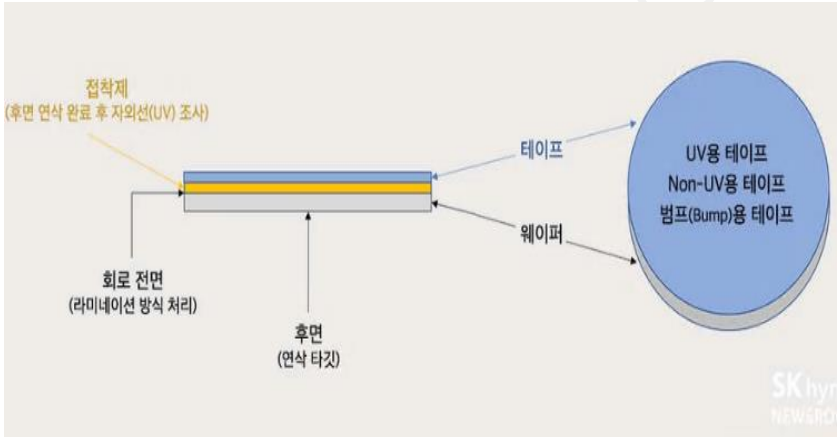
자료: SK하이닉스, Bloomberg, LS증권 리서치센터

Back Grinding(백 그라인딩)

Back Grinding(백 그라인딩)

- 웨이퍼 후면을 얇게 갈아내는 공정. 웨이퍼의 두께를 줄여 적층 수를 증가시킬 수 있다는 장점이 있음.
- 웨이퍼를 갈아내면서 깨지거나 휨 현상(Warpage)가 나타나기 때문에 보호용 테이프를 부착.
- 백 그라인딩을 마친 웨이퍼는 두께가 보통 800~700㎛에서 80~70㎛ 수준으로 줄어들음.
- Tape Lamination(테이프 부착) → Back Grinding(백 그라인딩) → Wafer Mount(쏘잉 준비)
- 관련기업: Disco(일), Lintec(일), 미쓰이화학(일)

백 그라인딩 공정 개요



백 그라인딩 중요도의 증가

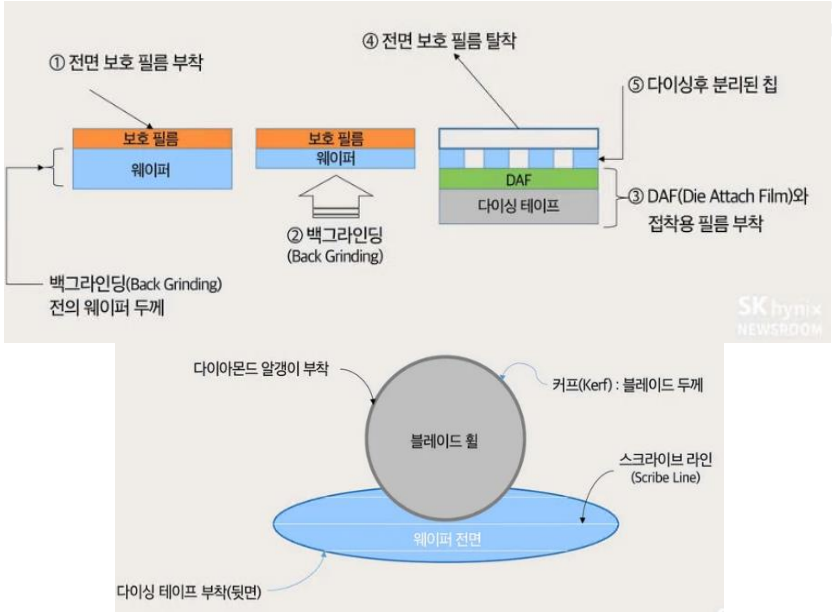
자료: SK하이닉스, LS증권 리서치센터

Singulation(싱귤레이션)

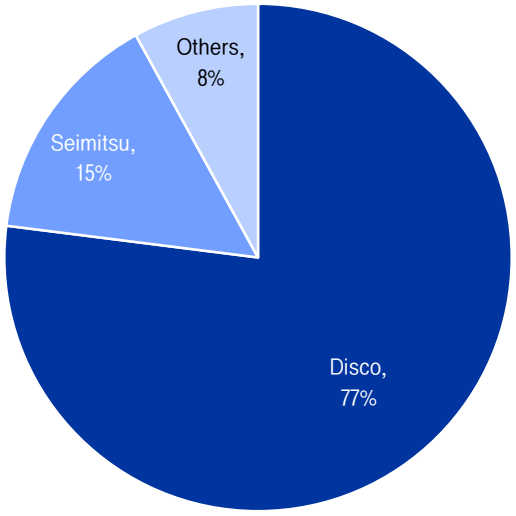
Singulation(싱귤레이션)

- 웨이퍼 위의 칩을 개별로 나누기 위해 Dicing(다이싱)/Sawing(쏘잉)을 가하는 공정.
- 초창기에는 웨이퍼에서 칩을 바로 분리했지만 최근에는 수율 문제로 인해 Scribe(반 정도 깊이로 쏘잉) 이후 싱귤레이션 진행.
- 블레이드 다이싱 → 레이저 다이싱 → 플라즈마 다이싱으로 소스 개발 진행 중
- 레이저 스텔스 다이싱: 웨이퍼 내부를 레이저로 절삭 후 테이프에 외압을 가해서 싱귤레이션
- 관련기업: Disco(일), Seimitsu(일), 이오테크닉스

싱귤레이션 공정 순서



절단 및 그라인더 장비 점유율



자료: SK하이닉스, Bloomberg, LS증권 리서치센터

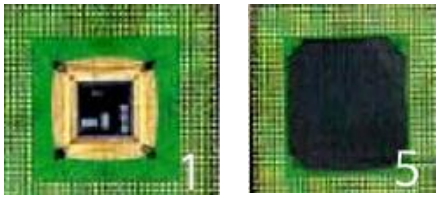
Bonding(본딩), Molding(몰딩)

Bonding(본딩)

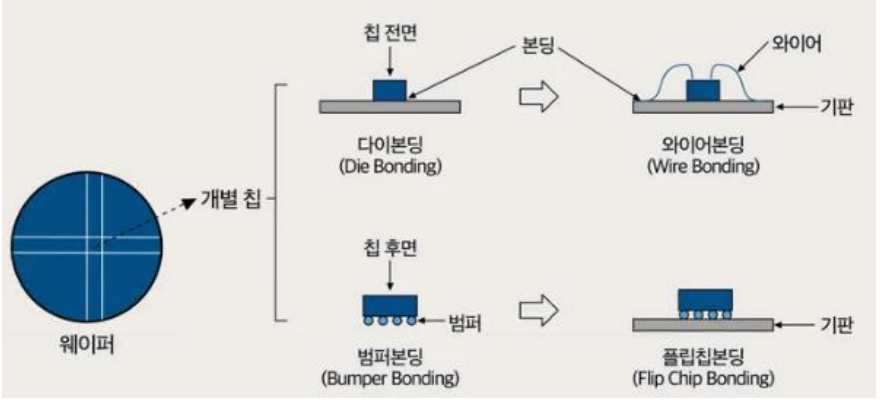
- 다이싱 공정 후 웨이퍼에서 분리된 칩과 패키지 기판(Package Substrate, 리드프레임 혹은 PCB)을 접합하는 패키징 기술.
- Wire Bonding에서 범프를 사용하는 FC(Flip Chip) Boding으로 기술 변화 중에 있음.
- Dispensing(접착제 도포) → Placement → Bump 부착 → Reflow(열로 가열) → Flux(불순물 제거) → Underfill Dispense → Molding
- 관련 기업:Bonder(ASMPT, 한미반도체) / 디스펜서(프로텍) / Reflow(에스티아이, 피에스케이홀딩스) / Flux(에스티아이)

Molding(몰딩)

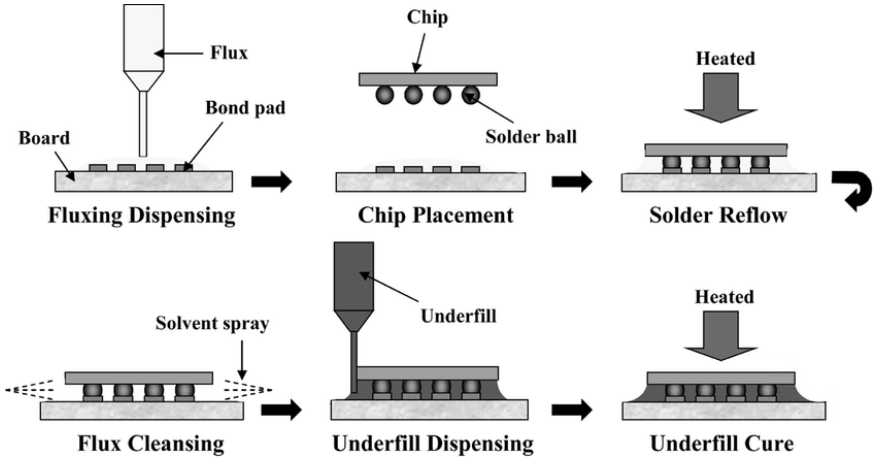
- 반도체 칩을 외부 환경으로부터 보호하기 위해 특정 물질로 감싸주는 단계.
- EMC(Epoxy Molding Compound)을 주로 사용하며 팽창 및 수축과 열 방출이 중요함.



와이어 본딩 Vs. 플립칩 본딩



Underfill 공정 순서



자료: SK하이닉스, LS증권 리서치센터

Marking(마킹), Solderball Mount(솔더볼 부착)

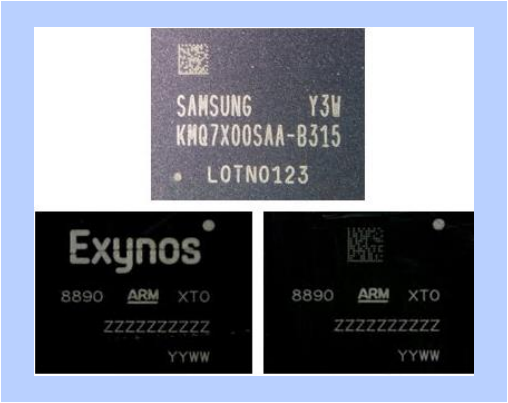
Marking(마킹)

- 칩 표면 위에 반도체 종류, 제조사 등 제품에 대한 정보와 고객이 원하는 특정 표식을 새기는 작업
- 관련 기업: 이오테크닉스(국내 95%, 글로벌 50% 점유율)

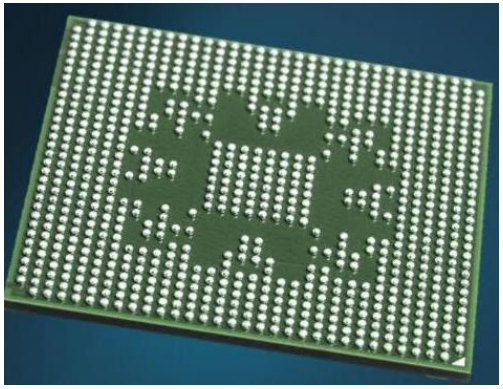
Solderball Mount(솔더볼 부착)

- 솔더볼과 범프는 동일한 역할을 하지만 통상적으로 범프가 더 작음.
- 반도체의 I/O(전기적 연결 통로) 증가를 위해 범프 사이즈가 작아지고 있는 추세
- 관련기업: 솔더볼 - Shinju Metal(일, 40%), 덕산하이메탈(30%), 엠케이전자(10%)

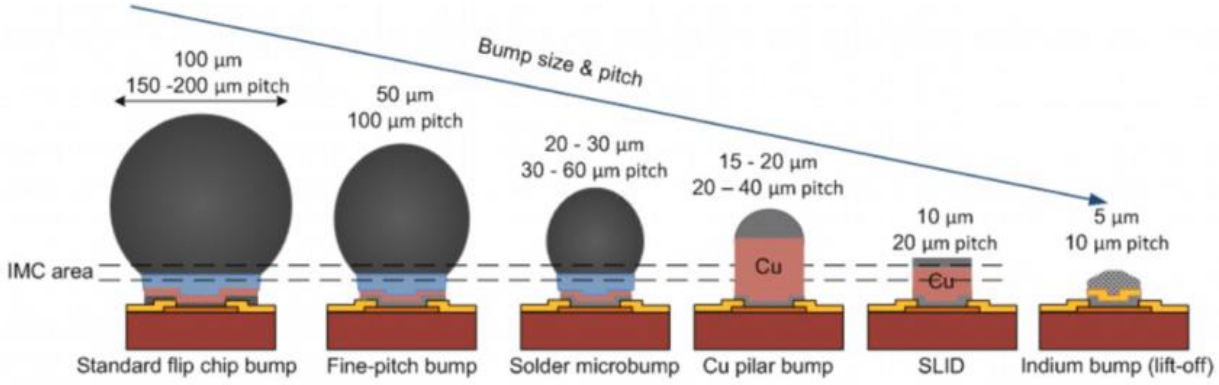
마킹이 완료된 칩



솔더볼이 부착된 기판



범프의 미세화



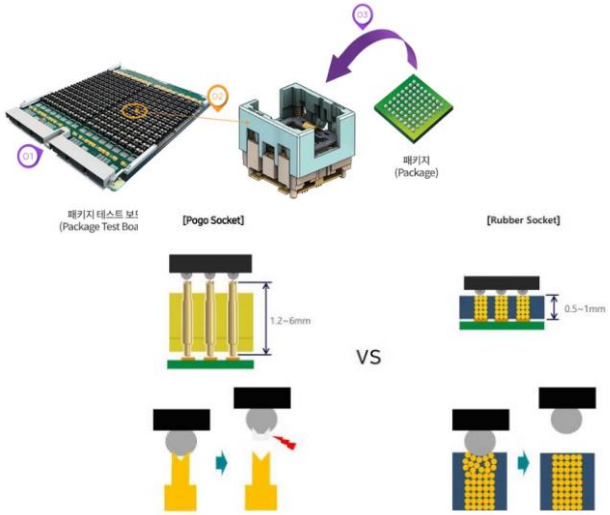
자료: TSMC, 이오테크닉스, LS증권 리서치센터

Package Test(패키지 테스트/파이널 테스트)

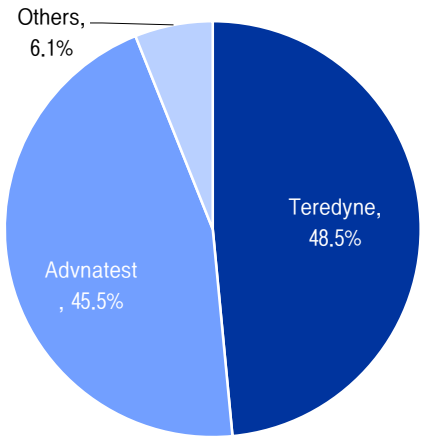
Package Test(패키지 테스트/파이널 테스트)

- 제품을 출하하기 전 최종적으로 전기적인 특성을 검사한다고 하여 파이널 테스트(Final Test)라고 부름.
- 웨이퍼 테스트 시 양품이었던 것도 패키지 공정 중 불량이 발생할 수 있음.
- 패키지의 핀(pin, 그림에서는 솔더볼)이 아래쪽을 향하도록 패키지 테스트 소켓에 넣어 소켓에 있는 핀들과 물리적으로 접촉.
- 이후 패키지기판 부착까지 한 뒤 패키지 테스트를 별도 진행.
- 포고 소켓(Pin) – 수명이 길며 범프 피치 미세화에 유리 vs 러버 소켓(Rubber) – 솔더볼 손상 X, 대량 생산에 적합
- 관련 기업
- **테스트 장비:** Teredyne(미), Advnatest(일), 엑시콘(SSD, CIS), 네오셈(SSD)
- **소켓:** Yamaichi(일), Cohu(미), Yokowo(일), Winway(대만), 리노공업(핀 타입), ISC(러버 타입), 티에프이

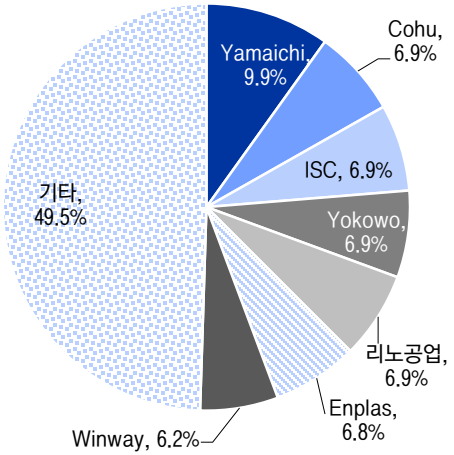
테스트 보드와 테스트 소켓



테스트 장비 점유율



소켓 점유율



자료: SK하이닉스, ISC, Bloomberg, LS증권 리서치센터

Inspection(검사), Metrology(계측)

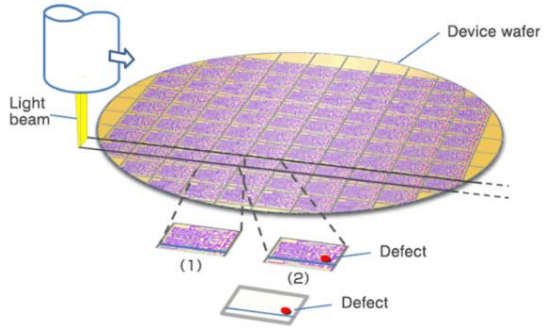
Inspection(검사)

- 상세정보는 아니며 웨이퍼 어느 좌표에 결함이 있는지 확인하는 과정.
- 테스트와 달리 전수를 검사하는 방식이 아니며 샘플링 검사.
- 추후 Measurement(계측)을 통해 수율 향상에 기여
- 관련기업: KLA(미), 고영, 넥스틴, 인텍플러스, 펨트론

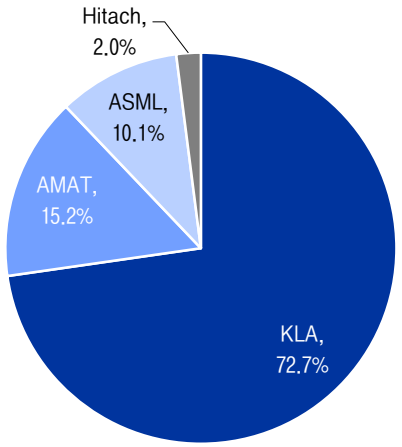
Metrology(계측)

- 웨이퍼의 구조물을 측정하거나, Defect 등을 계량화하는 과정.
- Inspection(검사)에서 검출된 결함을 자세하게 재확인(Review)하여 수율 향상에 기여함.
- 관련기업: Lasertek(일), Zeiss(독), 파크시스템스, 오로스테크놀로지

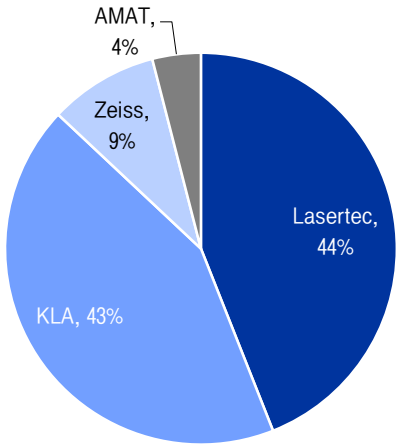
Beam을 통한 검사 공정



검사 장비 점유율



Mask Review 장비 점유율



자료: AMAT, LS증권 리서치센터

반도체 후공정 순서

후공정 프로세스

웨이퍼 번인 → **웨이퍼 테스트** → **라미네이션** → **백그라인딩** →

웨이퍼 상태의 제품에 온도와 전압의 스트레스를 줘 초기 불량을 드러냄

웨이퍼 레벨에서 칩의 전기적 특성을 검사함.

패키징 공정에서 발생하는 웨이퍼의 물리적, 화학적인 손상을 막음.

웨이퍼 뒤쪽 표면을 깎아 얇게 만듦.

웨이퍼 마운팅 → **웨이퍼 소우** → **다이 어태치** → **본딩** →

웨이퍼 소우를 위해 장비에 마운팅함.

웨이퍼를 낱개의 다이로 잘라 나눔.

낱개의 다이를 기판에 부착함.

반도체 칩을 외부와 전기적으로 연결함.

몰드 → **마킹** → **솔더볼 마운트** → **싱귤레이션** →

EMC를 이용해 칩과 기판을 외부 충격으로부터 보호함

종류, 제조사 등 제품에 대한 정보와 특정 표식을 새김.

PCB에 연결하기 위한 솔더블을 안착한 후 가열해 접합함.

반도체 기판을 낱개의 칩으로 분리함.

패키지 테스트 → **모듈 테스트**

제품을 출하하기 전 최종적으로 전기적인 특성을 검사함.

PCB에 실제 칩을 탑재한 후 테스트를 진행함.

자료: LS증권 리서치센터

후공정의 부각 – Advanced Packaging

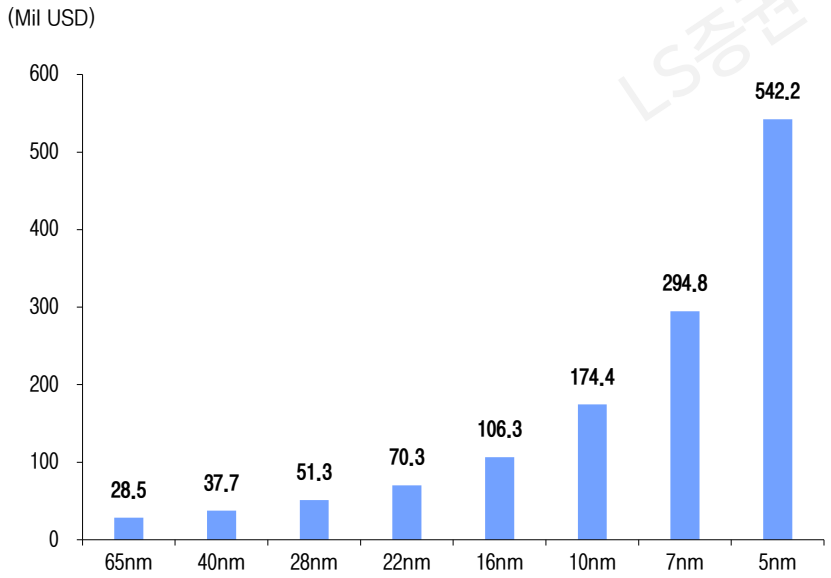
후공정의 부각 – Advanced Packaging

- 전공정의 한계: 오랜 기간 동안 Chip의 성능은 전공정 발전 위주였으나 선단 노드 개발 비용의 급격한 증가와 성능 개선의 한계 도래.
- 또한 전공정과 후공정 기술 발전 격차로 인해 데이터 통로 역할을 하는 I/O의 부족 현상 심화.
- 따라서 후공정 기술(범프, 기판, 구조 등)의 발전을 통해 반도체의 성능 향상을 도모하기 시작함.
- AMD는 하나의 기판 위에 여러 개의 Chip을 올리는 Chiplet방식을 통해 수율 향상 및 비용 절감 달성.

기판의 변화

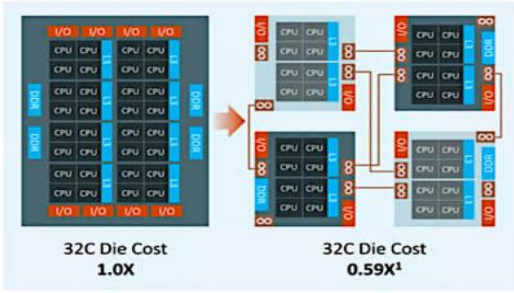
- FC-CSP: 칩과 기판의 사이즈가 비슷함. 주로 모바일용 AP에 활용.
- FC-BGA: 칩보다 기판의 크기가 큼. 주로 고사양 반도체(CPU, GPU)에 활용.

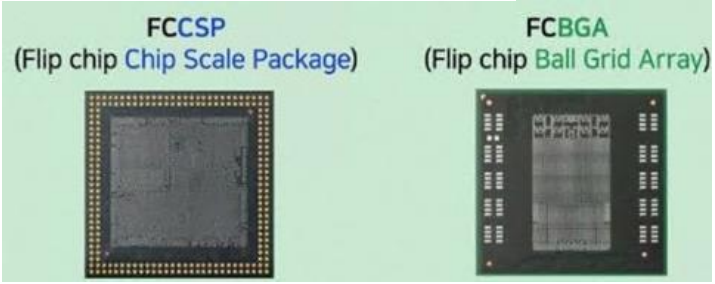
선단 노드 개발 비용의 급격한 증가



자료: AMD, 삼성전기, LS증권 리서치센터

AMD의 Chiplet 기술



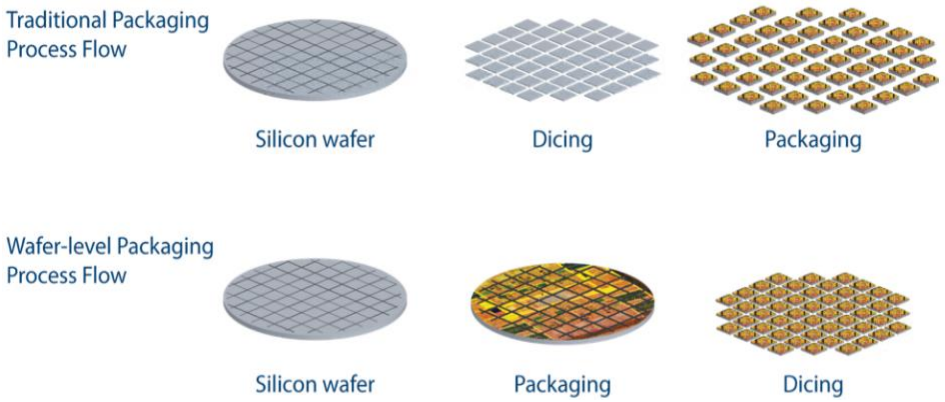


FO-WLP(Fan Out Wafer Level Package)

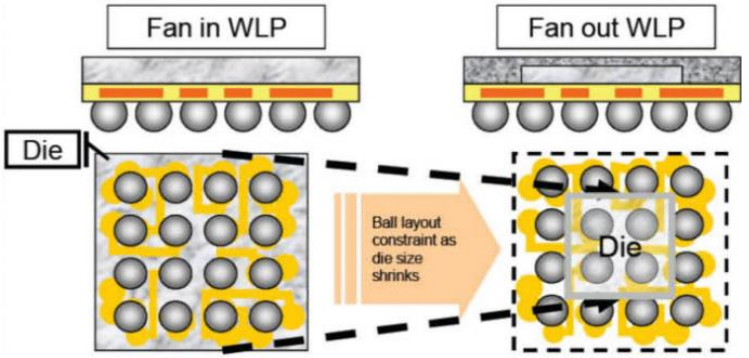
시스템 반도체 – FO-WLP(Fan Out Wafer Level Package)

- WLP(Wafer Level Package)
- 가공이 완료된 웨이퍼 위에 기판을 대신하는 RDL(Re Distribution Layer)이라는 재배선층을 놓은 후 절단하는 방식.
- 한 번에 패키징을 진행하는 만큼 생산성과 원가 측면에서 우위가 있음.
- FO(Fan Out)
- 기존 Fan-In 구조에서 Chip의 미세화로 범프를 놓을 공간이 부족해짐.
- 이에 따라 I/O를 다이 밖으로 빼내어 더 넓은 I/O 면적의 확보가 가능하고 다른 기능의 칩들을 집적하여 패키징 할 수 있는 FO-WLP 방식을 도입.
- FO-WLP 기술 도입을 통해 TSMC는 2016년부터 아이폰 AP를 독점 수주 유지.

WLP(Wafer Level Packaging)



TSMC의 FO-WLP



자료: TSMC, LS증권 리서치센터

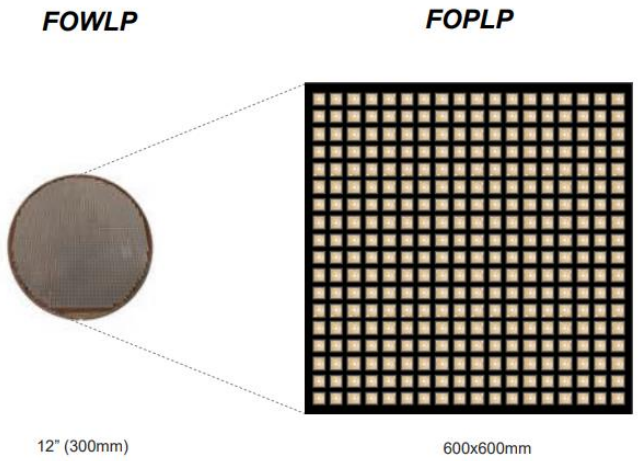
FO-PLP(Fan Out Panel Level Package)

● 시스템 반도체 – FO-PLP(Fan Out Panel Level Package)

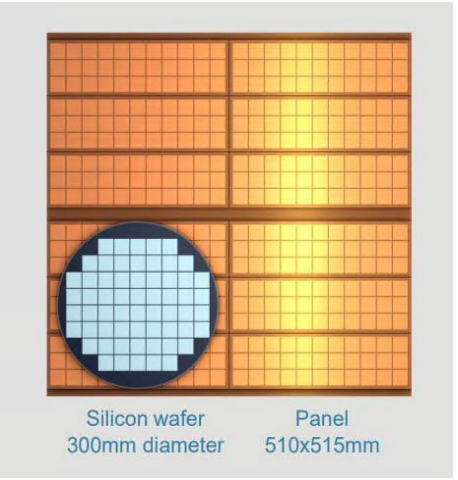
- PLP(Panel Level Package)은 과거 삼성전기가 TSMC의 FO-WLP를 따라잡기 위해 시도한 기술로 동그란 원형이 아닌 네모난 패널 모형을 패키징을 하는 방식.
- 면적이 넓은 패널 형태로 패키징을 하다 보니 비용을 절감하고 생산량을 높일 수 있다는 장점이 있었음.
- 하지만 기존 원형인 Wafer 형태로 대부분의 공정들이 최적화가 되어 있어 패널 형태로 공정을 진행할 때 수율을 잡기 어렵다는 단점이 존재했음.
- 국내에서는 네패스 아크에서 저사양 Chip 위주로 양산 적용 중에 있음.
- 최근 대만의 후공정 업체들이 TSMC를 중심으로 AI Chip과 같은 고사양 칩에도 FO-PLP 도입을 하기 위해 연구를 진행 중에 있음.

FO-PLP 기술 도입의 이점

PLP 비용 경쟁 우위 원인	
Through-put	12" FOWLP 대비 동일 공정에서 5 배 규모 생산 효율 높음
인건비	동일 생산량에서 FOWLP 대비 필요 인력 적음
재료비	단위 프로세스당 생산성 향상으로 주 재료는 5 배 면적 증가 시에도 사용량은 2배 수준 증가
감가상각비	장비 대당 가격은 FOWLP 대비 ~2X 수준이나 ~4X throughput 기반 단위 감가상각비는 70% 이하



Wafer와 Panel 면적 비교



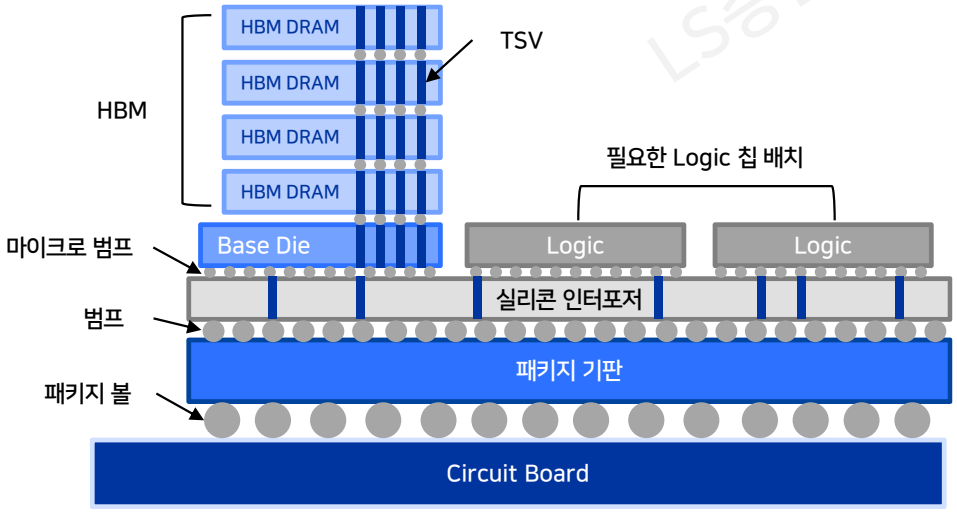
자료: 네패스아크, AMAT, LS증권 리서치센터

CoWoS(Chip On Wafer on Substrate, 2.5D 패키징)

● 시스템 반도체 – CoWoS(Chip On Wafer on Substrate, 2.5D 패키징)

- TSMC의 CoWoS(Chip On Wafer on Substrate)는 서로 다른 칩을 인터포저(Interposer)를 통해서 하나로 연결하는 기술.
- 통상 서로 다른 칩을 인터포저 없이 연결하면 2D, 인터포저를 통해 연결한 고사양 칩을 2.5D라 칭함.
- 각 기판과 칩들은 TSV(Through Silicon Via), 범프, 패키지 볼, 와이어 등을 통해 연결.
- 3D에 가까운 성능을 낸다고 해서 2.5D 패키징이라고도 칭함. HBM을 사용하는 AI Chip은 대부분 CoWoS 패키징되고 있음.
- Intel은 고가의 실리콘 인터포저를 부분적으로만 사용하는 EMIB 기술을 도입.
- 삼성전자는 I-Cube, H-Cube라는 이름으로 2.5D 패키징 서비스를 제공.

CoWoS(Chip On Wafer on Substrate)



Intel의 EMIB

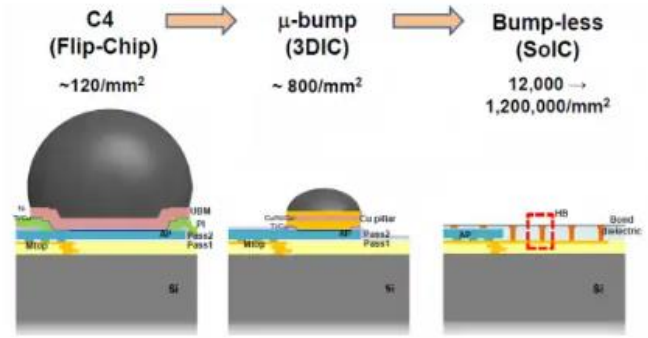
자료: Intel, LS증권 리서치센터

Hybrid Bonding(3D 패키징)

● 시스템 반도체 – Hybrid Bonding(3D 패키징)

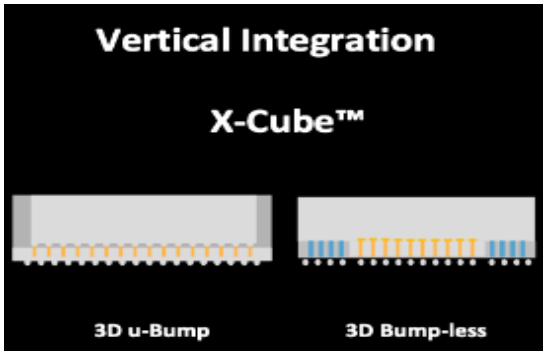
- 2.5D 패키징은 Chip을 수평으로 쌓지만 3D 패키징은 Chip을 수직을 쌓음. 범프를 사용하지 않아 Bumpless라고도 불림.
- 3D 패키징을 사용할 경우 공간 절약과 Chip을 직접 연결하여 성능 개선이 가능하다는 장점이 있음.
- TSMC는 SoIC라는 이름으로 Hybrid Bonding(3D 패키징) 서비스를 제공 중.
- Intel은 Foveros, 삼성전자는 X-Cube라는 이름으로 서비스 제공 예정.
- 현재 Hybrid Bonding장비의 경우 네덜란드의 BESI가 독점 공급 중에 있으며 국내의 한미반도체와 한화 인더스트리얼즈가 개발 중.
- 비용 및 수율 문제로 인하여 시스템 반도체 일부 도입된 상황이며 메모리 반도체는 향후 도입 예정.

TSMC의 3D 패키징 SoIC(Bumpless)



Intel의 3D 패키징 Foveros

삼성전자의 3D 패키징 X-cube



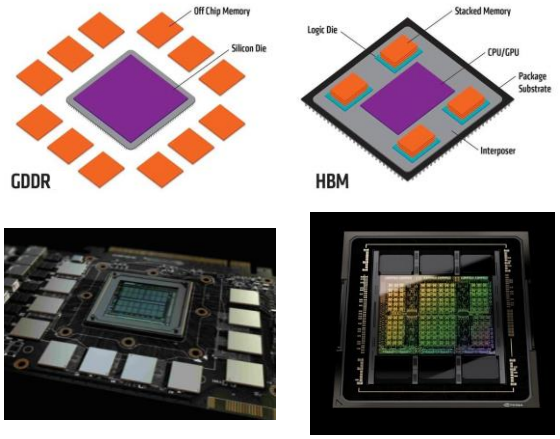
자료: TSMC, Intel, 삼성전자, LS증권 리서치센터

메모리 반도체 – HBM(High Bandwidth Memory)

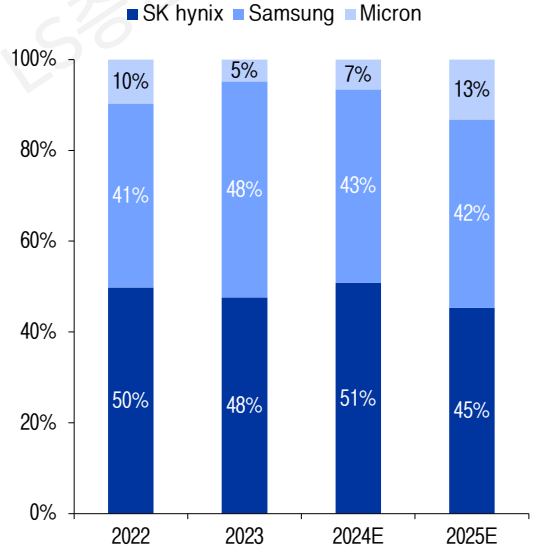
● 메모리 반도체 – HBM(High Bandwidth Memory)

- HBM(High Bandwidth Memory)은 메모리를 적층하여 TSV를 통해 비메모리 칩과 데이터를 주고받는 고대역폭 메모리.
- GPU가 장착되어 있는 그래픽카드에는 GDDR이라는 GPU용 DRAM이 사용되어 왔었음.
- 하지만 GDDR은 핀(I/O)의 수가 부족하여 데이터 병목현상을 초래함.
- HBM의 장점 1) HBM은 DRAM 한 층 당 1024개의 TSV 구멍을 통해 데이터를 송신하여 훨씬 더 높은 대역폭을 형성함.
  2) 또한 적층 구조로 인해 한정된 공간 내에서 더 많은 용량의 DRAM을 탑재할 수 있다는 장점이 있음.
- 특히 고대역폭과 고용량이라는 장점은 데이터의 이동이 많은 AI Training을 위해 필수적인 존재가 됨.
- HBM4부터는 16Hi로 적층 수가 증가하면서 과거의 높이 제한으로 인해 Hybrid Bonding 도입이 불가피했음
- 하지만 최근 JEDEC의 높이 규제 완화로 인해 HBM의 Hybrid Bonding 도입은 늦춰졌으며 기존 Bonding 방식을 유지할 수 있게 됨.

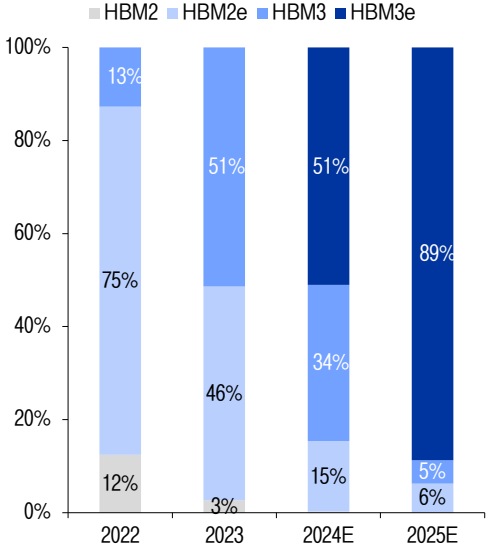
GDDR Vs. HBM



HBM 공급자별 점유율

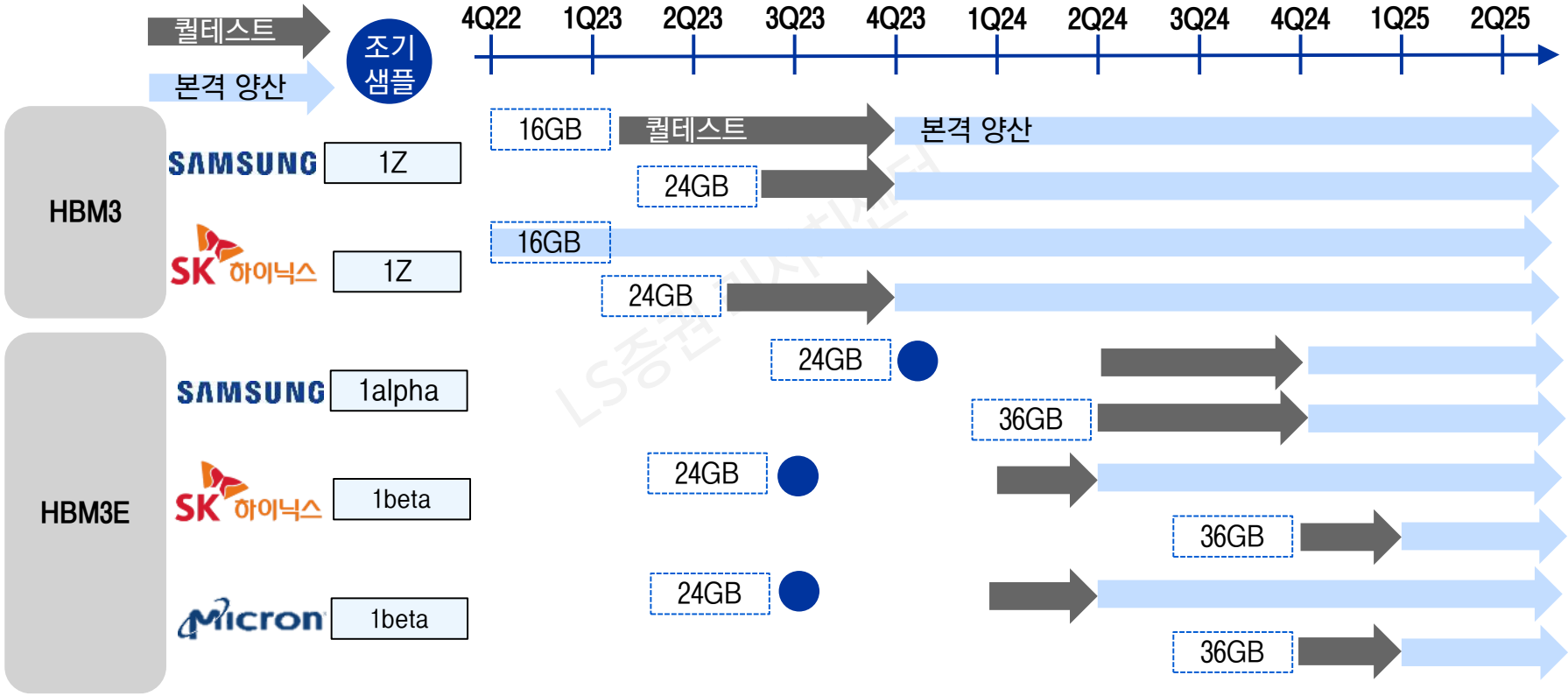


HBM 세대별 점유율



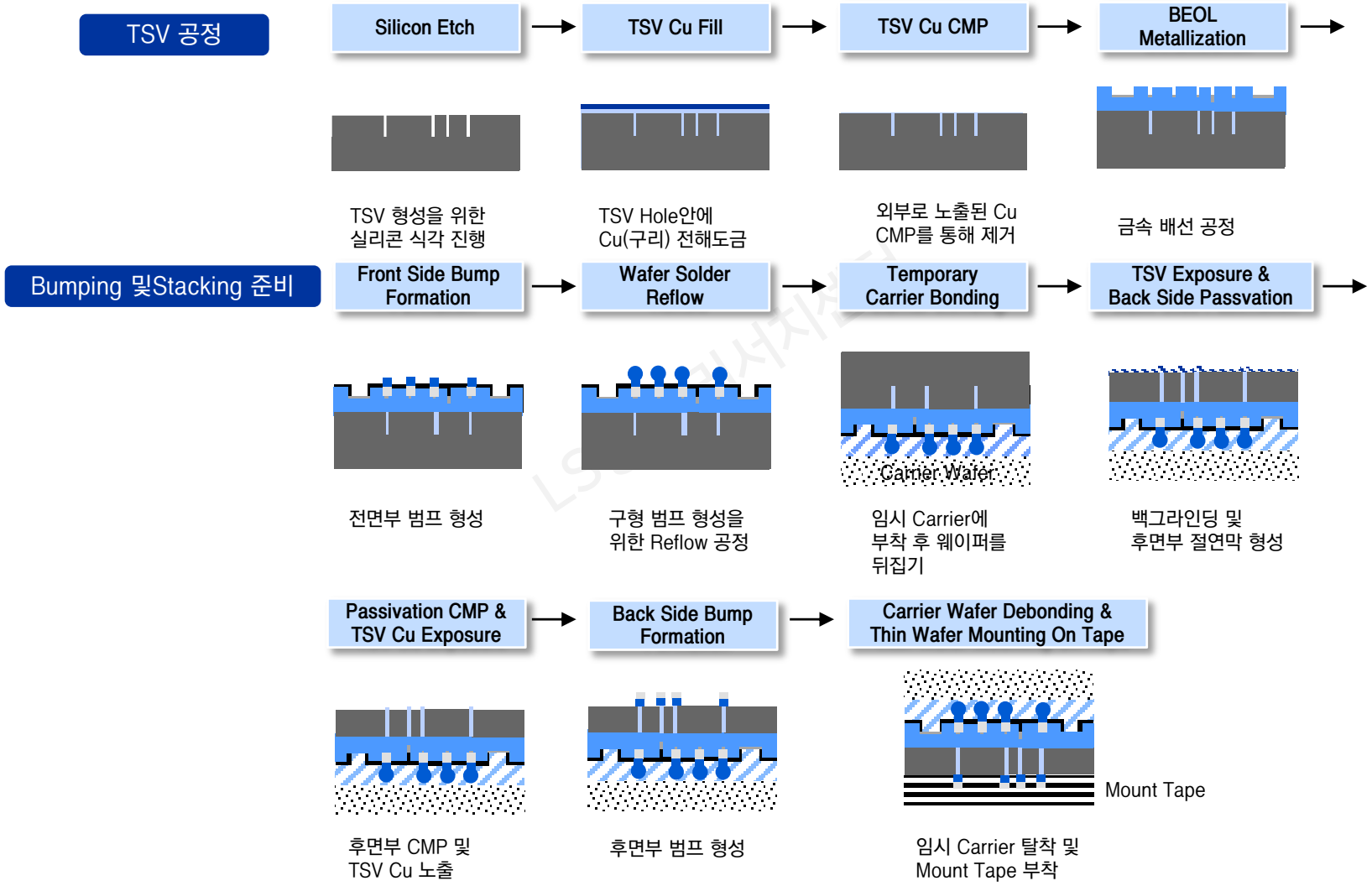
자료: AMD, Nvidia, Trendforce, LS증권 리서치센터

HBM 공급사별 Nvidia 퀄 일정



자료: Trednforce, LS증권 리서치센터

HBM 제조 공정



자료: SK하이닉스, LS증권 리서치센터

HBM 제조 방식 차이 및 Value Chain

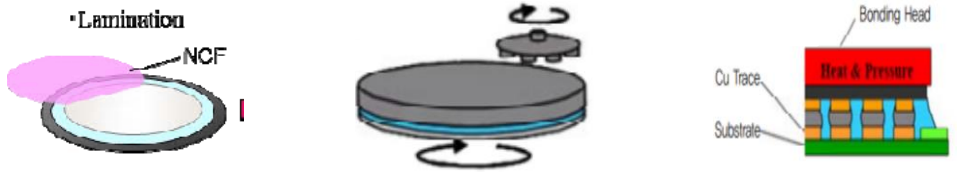
HBM 제조 방식 차이 및 Value Chain

SK하이닉스 MR-MUF

Chip에 금속결합물질을 도포하여 적층 → Mass Reflow 방식을 통해 대량의 범프를 녹여 Chip과 회로 간 연결 → Chip간 사이 및 기판 사이를 채우는 몰딩 작업 진행

삼성전자 TC-NCF

Wafer에 NCF Flim 씌우기 → Back Gringding 후 DRAM으로 Cutting → 적층 후 열압착을 통해 녹은 NCF 필름으로 연결



분류	기업명	수혜 내용
전공정	Lam Research(미)	- TSV공정 내에 사용되는 Silicon Etch 장비 독점.
	HPSP	- 수소 어닐링 장비 DRAM 도입 확대에 따른 수혜 예상.
	이오테크닉스 디아이티	- 수율 개선을 위한 레이저 어닐링 장비 수혜 예상.
후공정	BESI(네) ASMPT(중)	- TC본딩 장비 납품.
	Disco(일)	- Grinder 및 Dicing 장비 납품.
	Heller(미) Sikama(미)	- Reflow 장비 납품.
	한미반도체	- TC본딩 장비 납품.
	에스티아이	- Reflow 장비 납품.
	예스티	- Wafer Cure 가압 장비 납품.
	Onto Innovation(미) Camtek(이스라엘)	- HBM 검사장비 납품.
	피에스케이홀딩스	- Reflow 장비 및 Descum 장비 납품.
소재	Resonac(일)	- 삼성전자향 NCF 필름 납품.
	Namics(일)	- SK하이닉스향 MUF 소재 납품.

자료: SK하이닉스, LS증권 리서치센터

Part Ⅳ

차세대 기술 및 Value Chain

주목해야 할 차세대 기술 정리

- 차세대 메모리 및 기타 기술
- 글로벌 및 국내 반도체 소부장 Value Chain

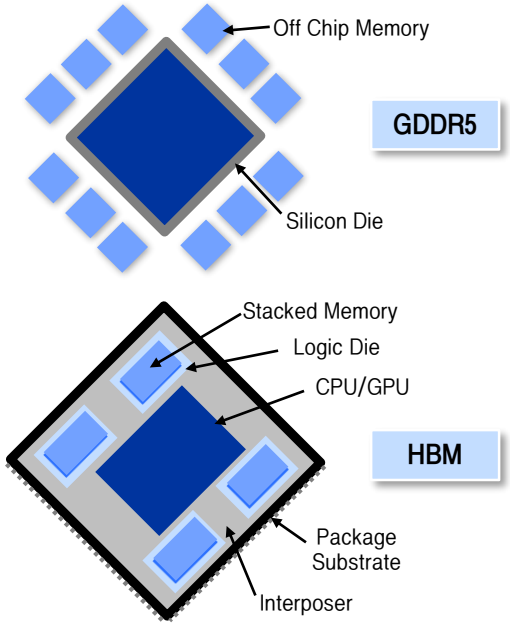
차세대 메모리 기술 ①

● 차세대 메모리 기술 ①

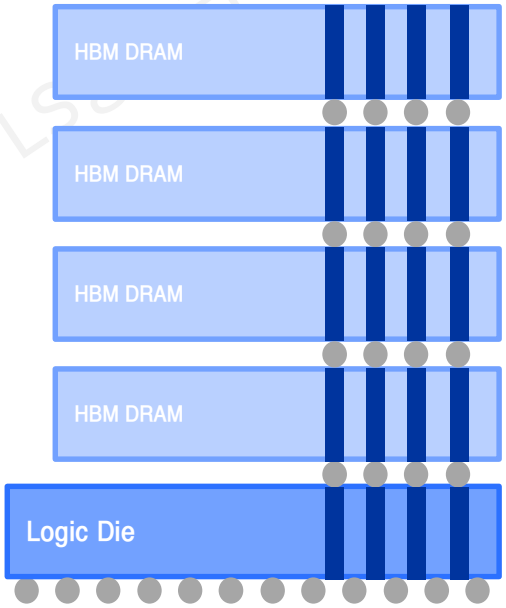
- [HBM(High Bandwidth Memory), 고대역폭 메모리]

- DRAM을 적층한 메모리로 높은 대역폭(연결 통로)과 고용량이 가장 큰 장점.
- HBM은 오래된 기술이지만 최근 AI산업의 부각으로 고대역폭 메모리 필요성 증가에 수요가 급증. 주로 AI Training을 위해 GPU와 쓰임.
- 그동안 GPU에 쓰이던 GDDR 대비 전체 대역폭이 높고 고용량 구성이 가능하다는 장점이 있음.
- HBM1(1세대-2013년) / HBM2(2세대-2016년) / HBM2E(3세대-2018년) / HBM3(4세대-2020년) / HBM3E(5세대-2024년)
- 2024년 Main Model은 HBM3와 HBM3e. 공급업체별 점유율은 SK하이닉스 51%, 삼성전자 43%, Micron 7%로 예상됨.
- HBM 주요 Value Chain: 한미반도체, 에스티아이, 피에스케이홀딩스, 제우스 등

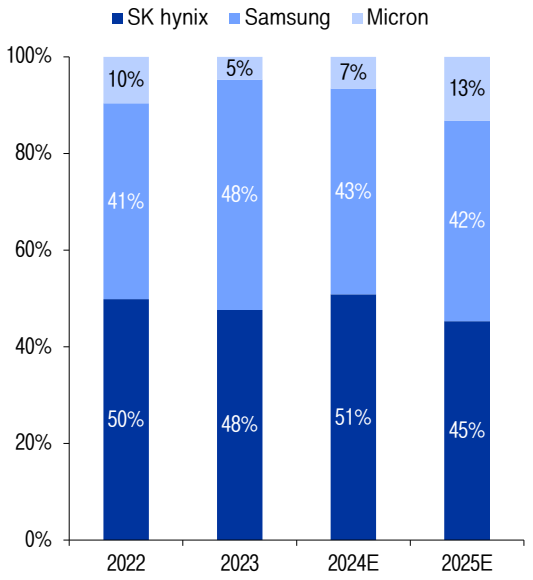
GDDR vs HBM



HBM 메모리 구조



HBM 시장 점유율



자료: Trendforce, LS증권 리서치센터

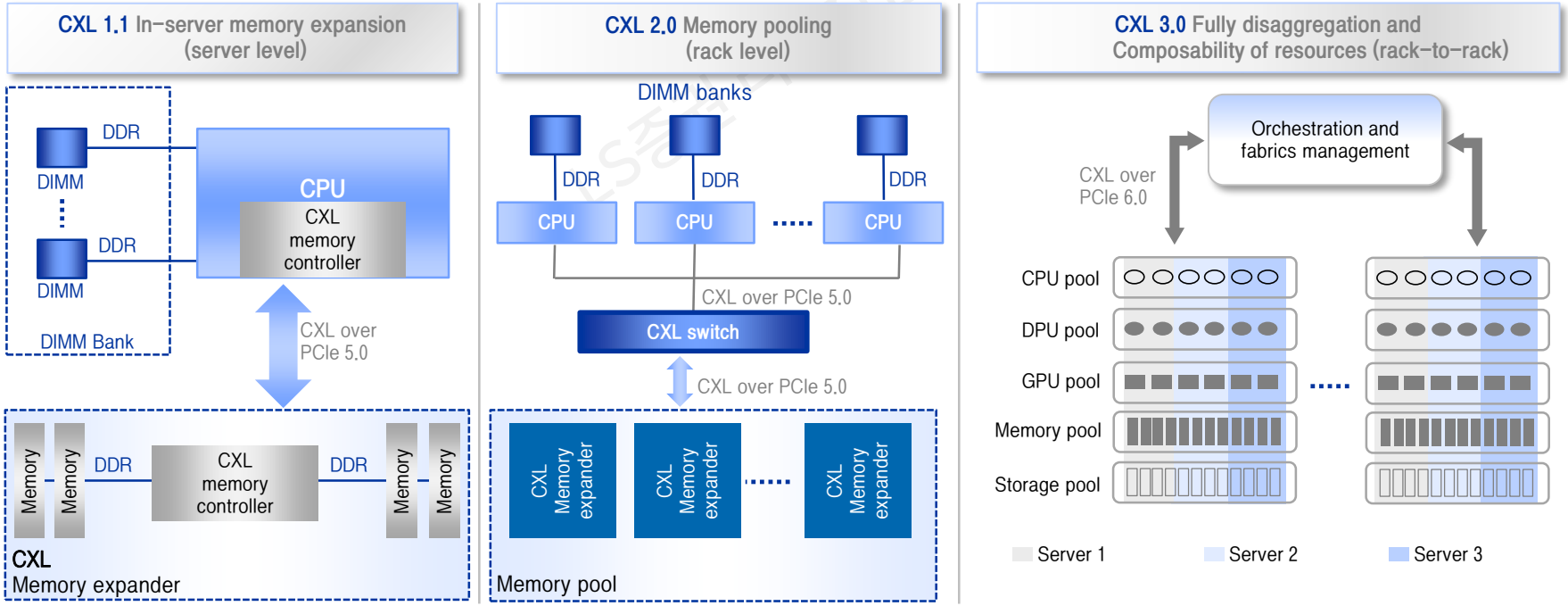
차세대 메모리 기술 ②

● 차세대 메모리 기술 ②

- [CXL(Compute Express Link)]

- CXL은 DRAM의 확장(Expansion)과 공유(Pooling)를 위한 규격으로 Intel이 대표하는 x86진영에서 2019년 처음 제안.
- 현재 Datacenter에서 DRAM은 CPU에 종속되어 있는 개념으로 TCO(Total Cost Of Ownership) 상승의 문제가 존재.
- 기능에 따라 1.0(Expander), 2.0(Pooling), 3.0(Fabric) 버전으로 구분되며 CXL 2.0 지원 CPU는 Intel이 2024년 출시 예정.
- CXL Memory Controller, CXL Switch라는 개념이 추가되어 관련 IP기업들의 수혜 예상 ex) 오픈엣지테크놀로지, 퀄리타스반도체

CXL Version별 개념 구분



자료: Yole, LS증권 리서치센터

차세대 메모리 기술 ③

● 차세대 메모리 기술 ③

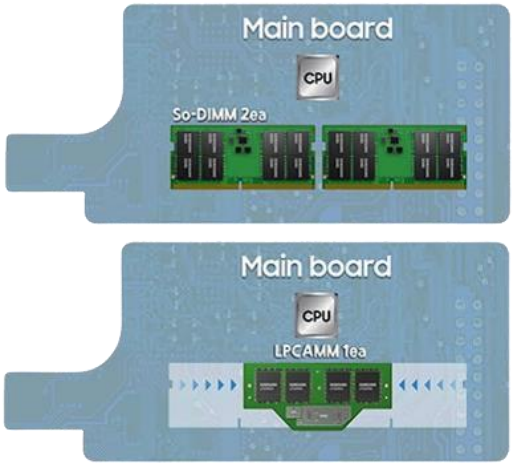
- [LPCAMM(Low Power Compression Attached Memory Module)]

- 기존 노트북에 주로 쓰이던 DRAM 모듈은 SO-DIMM이라는 모듈. 이는 탈부착이 용이하지만 전력 효율성이 낮음.
- AI연산을 위해 전력 소모효율성이 더 높은 LPDDR이 적극적으로 채택되고 있으나 이는 Board에 납땜이 되어 나와 쉽게 확장이 불가능
- SO-DIMM과 LPDDR의 장점만 갖춘 LPCAMM이 차세대 모듈로 주목을 받고 있는 상황

- [PIM(Processing in Memory)]

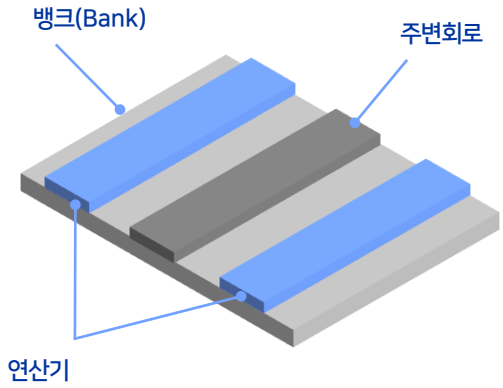
- 저장공간의 역할만을 담당하던 메모리 내에서 일부 간단한 연산(비메모리의 역할)을 담당
- 데이터의 병목 현상 해소 및 Main Chip의 Work Load를 덜어주며 전력 효율이 좋다는 장점이 존재
- HBM – PIM, GDDR – PIM 등 다양한 방식으로 기술이 구현 가능함

LPCAMM의 장점



So-DIMM 대비 탑재 면적 최대 60% 이상 감소

PIM 구조



PIM(Processing-In-Memory)

자료: 삼성전자, LS증권 리서치센터

차세대 기술 – On Device AI

Cloud AI vs. On-Device AI

- 현재 대부분의 AI Service는 Cloud Server를 거쳐서 제공되고 있음.

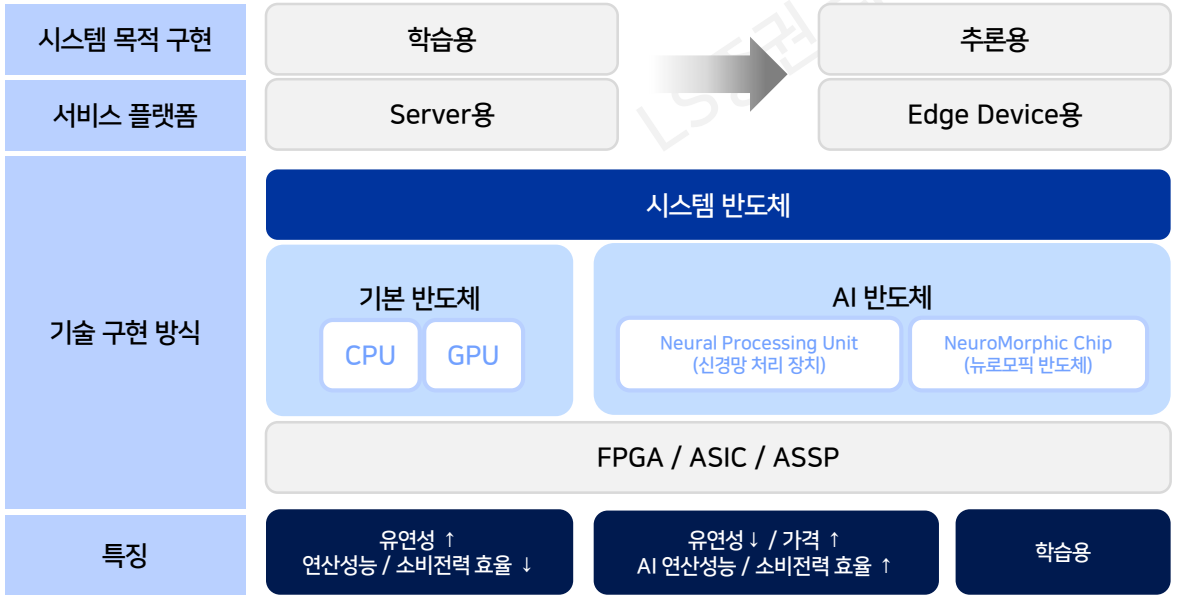
Ex) ChatGPT에 질문을 입력하면 MSFT의 Server에서 연산이 완료되고 사용자에게는 결과값만 출력.

- Cloud AI의 경우 Device의 높은 Spec을 요구하지 않지만 ① 개인정보 보안, ② Latency(지연), ③ Server Traffic 부하 등의 문제가 있음.
- 따라서 가벼운 AI Model를 인터넷 연결 없이 Device 내에서 연산이 가능하게 하는 개념을 On-Device AI라 칭함.

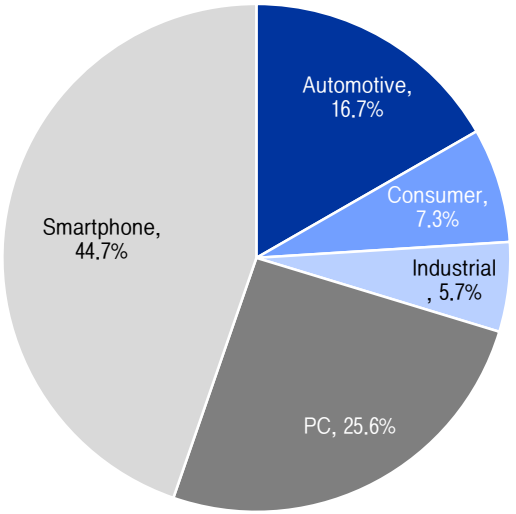
Ex) Tesla의 Automotive, 삼성전자의 Galaxy S24, AI PC

- 현재는 AI Model 훈련을 위한 Training Chip 위주로 구성되고 있지만 추후에는 저렴하고 전력 소모가 낮은 Inference Chip이 Edge Server 및 Device에 적극적으로 채택될 전망.

학습용(Training)칩과 추론용(Inference)칩 개념



AI Edge Device 점유율 전망



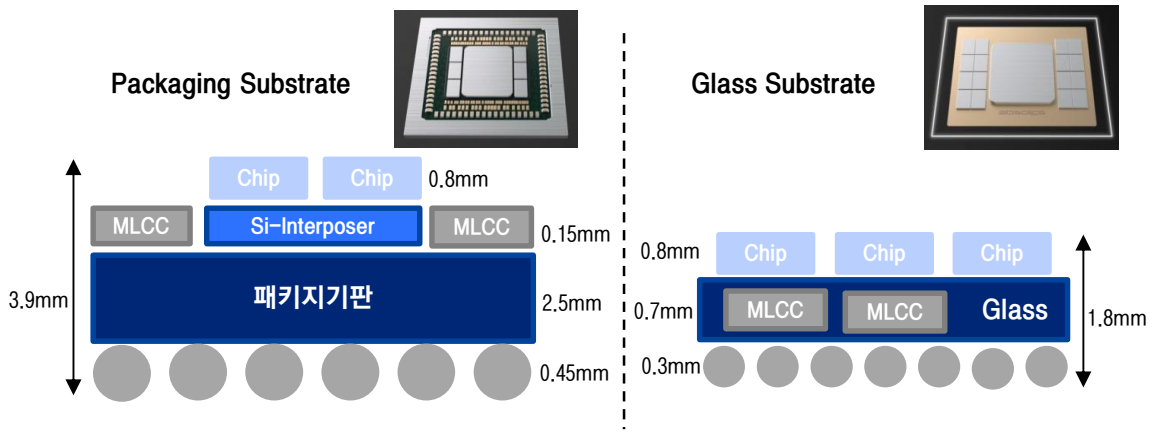
자료: Bloomberg, LS증권 리서치센터

차세대 기술 – 유리기판(Glass Substrate)

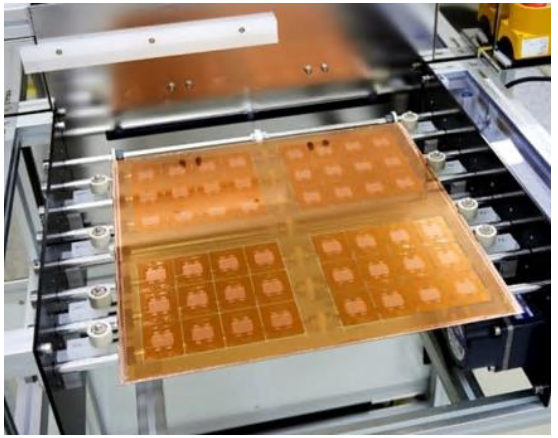
● 유리기판(Glass Substrate)

- CoWoS 구조의 Si Interposer는 성능은 좋지만 비싸고, 패키지기판은 저렴하지만 성능이 제한적이라는 문제가 있음.
- 이러한 단점들을 극복할 수 있는 방안 중 하나인 차세대 기술로 유리기판이 주목을 받고 있음.
- 유리기판은 유리라는 소재가 갖춘 ①미세 선폭 구현, ②대면적 수율 향상, ③전력 무결성의 장점이 존재함.
- 또한 AI Chip 대면적화로 인한 Net Die 감소의 문제를 해결할 수 있으며 후발주자들인 ASIC 업체들이 적극적으로 채택할 것으로 예상됨.
- 유리기판 개발 업체: SKC의 앱솔릭스, Intel, 삼성전기, LG이노텍, Ibiden, DNP, TSMC 등.
- 소부장 업체: (장비) 필옵틱스, 로체시스템즈, 에프앤에스테크, HB 테크놀러지, 기가비스 등. (소재 및 부품) 와이씨켐, ISC, 와이엠티 등

CoWoS 패키징과 유리기판의 비교



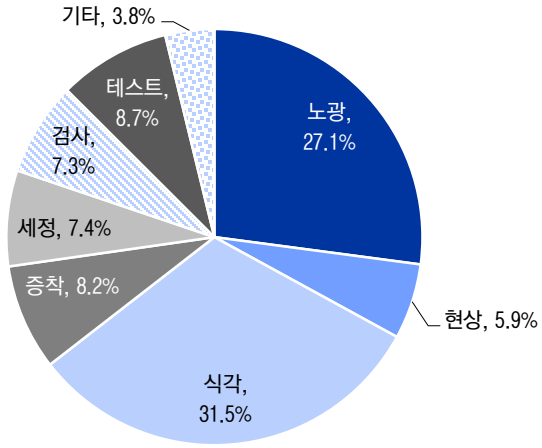
앱솔릭스가 공개한 유리기판



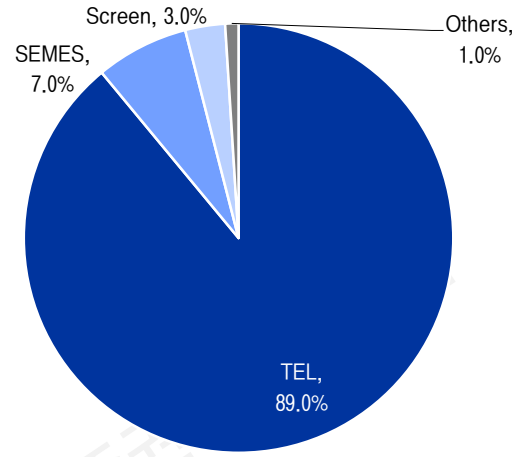
자료: SKC, LS증권 리서치센터

글로벌 반도체 장비 점유율

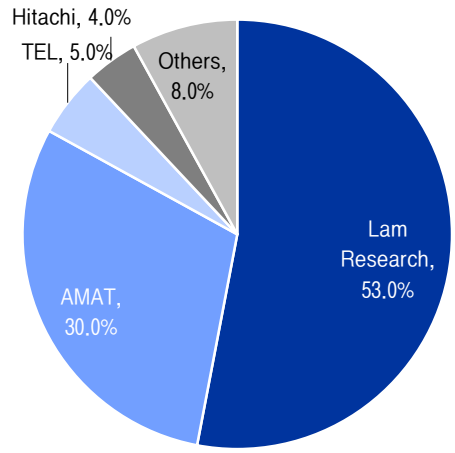
글로벌 장비 시장 점유율



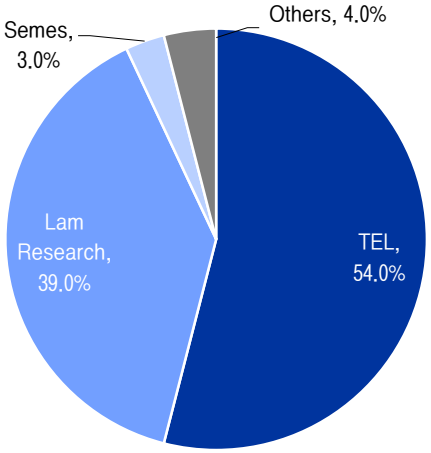
현상 장비 점유율



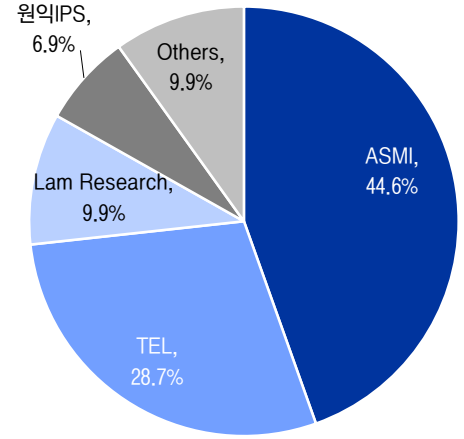
Conductor 식각 장비 점유율



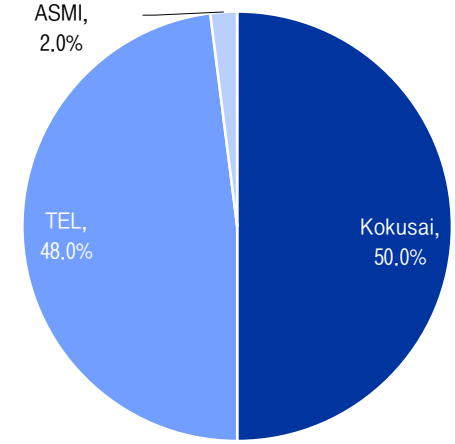
Dielectric 식각 장비 점유율



ALD(증착) 장비 점유율



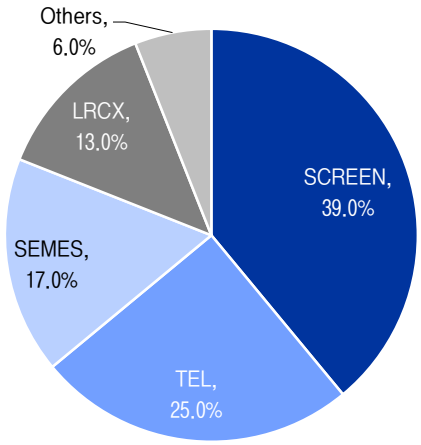
CVD(증착) 장비 점유율



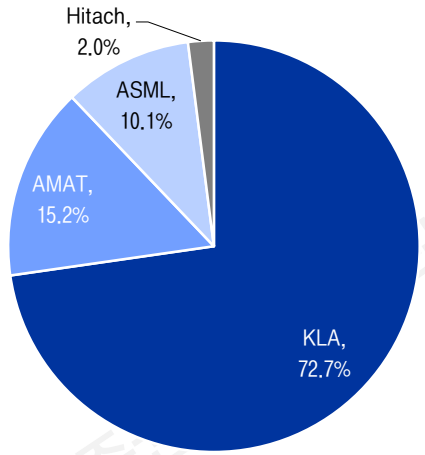
자료: LS증권 리서치센터

글로벌 반도체 장비 점유율

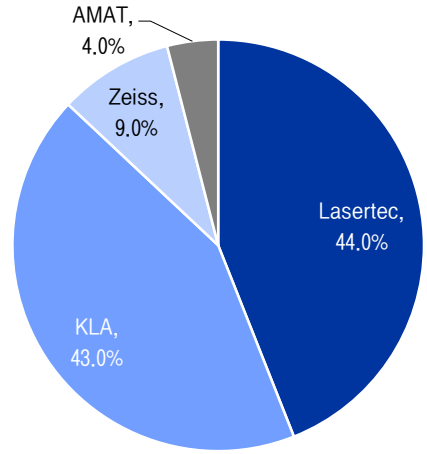
세정 장비 점유율



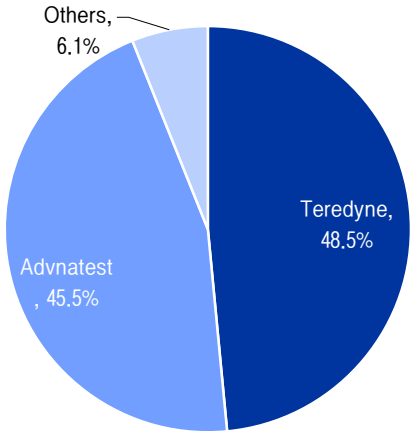
검사 장비 점유율



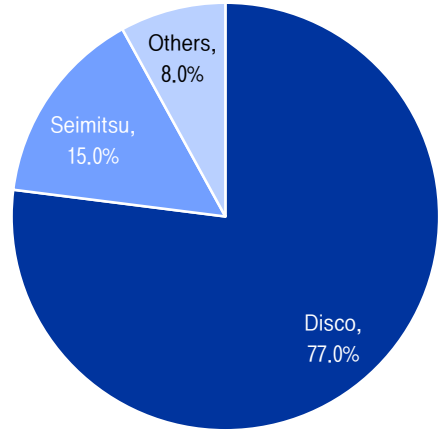
Mask 검사 장비 점유율



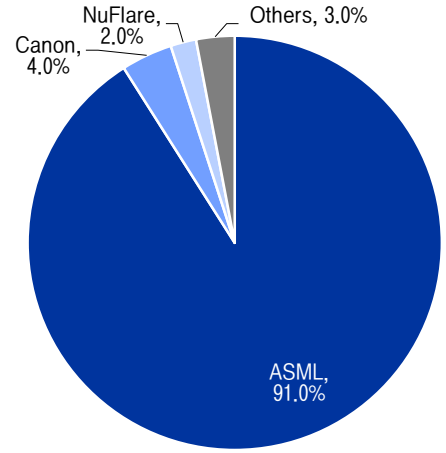
테스트 장비 점유율



절단 및 그라인더 장비 점유율



노광 장비 점유율



자료: LS증권 리서치센터

국내 소부장 Value Chain

전공정 소재/장비 국내 업체

자료: LS증권 리서치센터

국내 소부장 Value Chain

후공정 및 펩리스 소재/장비 국내 업체

자료: LS증권 리서치센터

Compliance Notice

본 자료에 기재된 내용들은 작성자 본인의 의견을 정확하게 반영하고 있으며 외부의 부당한 압력이나 간섭 없이 작성되었음을 확인합니다(작성자: 차용호)

본 자료는 고객의 증권투자를 돕기 위한 정보제공을 목적으로 제작되었습니다. 본 자료에 수록된 내용은 당사 리서치본부가 신뢰할 만한 자료 및 정보를 바탕으로 작성한 것이나, 당사가 그 정확성이나 완전성을 보장할 수 없으므로 참고자료로만 활용하시기 바라며 유가증권 투자 시 투자자 자신의 판단과 책임하에 최종결정을 하시기 바랍니다. 따라서 본 자료는 어떠한 경우에도 고객의 증권투자 결과에 대한 법적 책임소재의 증빙자료로 사용될 수 없습니다.

_ 동 자료는 제공시점 현재 기관투자가 또는 제3자에게 사전 제공한 사실이 없습니다.
_ 동 자료의 추천종목은 전일 기준 현재당사에서 1% 이상 보유하고 있지 않습니다.
_ 동 자료의 추천종목은 전일 기준 현재 당사의 조사분석 담당자 및 그 배우자 등 관련자가 보유하고 있지 않습니다.
_ 동 자료의 추천종목에 해당하는 회사는 당사와 계열회사 관계에 있지 않습니다.

투자등급 및 적용 기준

구분	투자등급 guide line (투자기간 6~12개월)	투자등급	적용기준 (향후12개월)	투자의견 비율	비고
Sector (업종)	시가총액 대비	Overweight (비중확대)			
	업종 비중 기준	Neutral (중립)			
	투자등급 3단계	Underweight (비중축소)			
Company (기업)	절대수익률 기준	Buy (매수)	+15% 이상 기대	93.9%	2018년 10월 25일부터 당사 투자등급 적용기준이 기존 ±20%에서 ±15%로 변경
	투자등급 3단계	Hold (보유)	-15% ~ +15% 기대	6.1%	
		Sell (매도)	-15% 이하 기대		
		합계		100.0%	투자의견 비율은 2023. 10. 1 ~ 2024. 9. 30 당사 리서치센터의 의견공표 종목들의 맨마지막 공표의견을 기준으로 한 투자등급별 비중임 (최근 1년간 누적 기준. 분기별 갱신)