

이 보고서는 코스닥 기업에 대한 투자정보 확충을 위해 발간한 보고서입니다.

기술분석보고서

 YouTube 요약 영상 보러가기

원팩(097800)

반도체/반도체장비

요약

기업현황

시장동향

기술분석

재무분석

주요 변동사항 및 전망



작성기관

NICE평가정보(주)

작성자

정원호 선임연구원

- 본 보고서는 「코스닥 시장 활성화를 통한 자본시장 혁신방안」의 일환으로 코스닥 기업에 대한 투자정보 확충을 위해, 한국거래소와 한국예탁결제원의 후원을 받아 한국IR협의회가 기술신용평가기관에 발주하여 작성한 것입니다.
- 본 보고서는 투자 의사결정을 위한 참고용으로만 제공되는 것이므로, 투자자 자신의 판단과 책임하에 종목선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다. 따라서 본 보고서를 활용한 어떠한 의사결정에 대해서도 본회와 작성기관은 일체의 책임을 지지 않습니다.
- 본 보고서의 요약영상은 유튜브로도 시청 가능하며, 영상편집 일정에 따라 현재 시점에서 미게재 상태일 수 있습니다.
- 카카오톡에서 “한국IR협회” 채널을 추가하시면 매주 보고서 발간 소식을 안내 받으실 수 있습니다.
- 본 보고서에 대한 자세한 문의는 작성기관(TEL.02-2124-6822)로 연락하여 주시기 바랍니다.

원팩(097800)

반도체 패키징 및 테스트 전문기업, 중장기 성장 사이클 진입

기업정보(2020/07/31 기준)

대표자	이한규
설립일자	2002년 04월 03일
상장일자	2013년 03월 07일
기업규모	중소기업
업종분류	발광 다이오드 제조업
주요제품	반도체 패키징 테스트 제조, 판매

시세정보(2020/10/05 기준)

현재가(원)	1,640
액면가(원)	500
시가총액(억 원)	620
발행주식수	37,808,697
52주 최고가(원)	2,410
52주 최저가(원)	1,100
외국인지분율	0.74%
주요주주	(주)티엘아이

■ 반도체 후공정, 패키징 및 테스트 전문기업

원팩은 반도체 제조 과정 중 후공정에 속하는 패키징 및 테스트 사업을 영위하고 있으며, 2002년 설립 이후, 약 18여 년간 반도체 패키징 및 테스트 기술을 축적한 국내선도 기업이다. 최종 매출처인 반도체 제조사나 팹리스 업체로부터 후공정을 일괄로 수주할 수 있는 인프라를 구축하였으며, 최근에는 메모리 반도체에서 시스템 반도체로 사업 영역을 확장하고 있다. 동사는 모회사인 티엘아이의 개발, 생산, 영업, 마케팅 노하우를 기반으로 역량을 확보함과 동시에 사업 영역 확장에 주력하고 있다.

■ 고객 포트폴리오 다변화를 통한 사업 안정성 확보에 주력

동사의 주 고객은 SK하이닉스로, 2020년 반기 기준으로 패키지 및 테스트 매출을 합산하여 전체 매출의 약 77% 정도를 차지하고 있어 특정 업체로의 의존도가 다소 높은 편이다. 이에 동사는, 최대 고객인 SK하이닉스와 긴밀한 관계 유지를 위한 영업활동을 전개함은 물론, 보다 안정적인 사업 영위를 위해 고객 포트폴리오 다변화에 주력하고 있다. 핵심 추진 방향은 팹리스 고객 확대, 해외업체 거래 확대, SK하이닉스 비즈니스 강화 등으로, 시스템 반도체 테스트 사업이 활성화 되는 시점을 대비한 다변화 전략을 추진해나가고 있다.

■ 고부가가치 제품 비중 확대 기반 중장기 성장 경쟁력 확보

동사는 2019년 플립칩(Flip chip)과 패키지 온 패키지(POP, Package on Package) 생산시설 투자를 완료하고 고부가가치 제품에 대한 비중을 확대하여 본격 양산에 들어갔다. 플립칩과 패키지 온 패키지는 고사양을 요구하는 다양한 전자제품 출시로 메모리 반도체 소형화, 고집적화, 경량화 추세에 적합한 패키징 방법이다. 동사는 메모리 반도체 다운 사이클에서도 고부가 패키징으로 매출 성장을 지속하고 있으며, 패키징 산업 발전에 대한 적응과 적기 투자로 안정적 성장기반을 확보함에 따라, 안정적 외형성장 사이클에 진입했다고 판단된다.

요약 투자지표 (K-IFRS 개별 기준)

구분 년	매출액 (억 원)	증감 (%)	영업이익 (억 원)	이익률 (%)	순이익 (억 원)	이익률 (%)	ROE (%)	ROA (%)	부채비율 (%)	EPS (원)	BPS (원)	PER (배)	PBR (배)
2017	471.5	35.7	(36.1)	(7.7)	(71.3)	(15.1)	(24.9)	(10.1)	114.2	(333)	965	(3.4)	1.2
2018	675.1	43.2	24.4	3.6	14.7	2.2	4.2	2.0	101.9	43	1,019	29.6	1.2
2019	979.3	45.1	78.3	8.0	92.9	9.5	22.1	9.7	149.7	254	1,249	7.9	1.6

기업경쟁력

고부가 패키징 제품 생산

- 반도체 소형화, 고집적화, 경량화에 적합한 패키징 제품 생산
 - 플립칩(Flip chip), 패키지 온 패키지(POP), 임베디드멀티칩 패키지(EMCP, Embedded Multi-Chip Package) 등

고부가 패키징 제품



고객 포트폴리오 다변화

현재 주요 고객사



거래선 & 제품 다변화

- 팹리스 고객 확대
- 해외업체 거래 확대
- SK하이닉스 BIZ 강화

핵심기술 및 적용제품

핵심기술

- MCP(Multi Chip Package)을 활용한 High-end 반도체 패키징 기술
- 플립칩(Flip chip), 패키지 온 패키지(POP) 선제적 투자 통한 인프라 구축
- 고객사의 제시 기준에 따른 테스트 기술

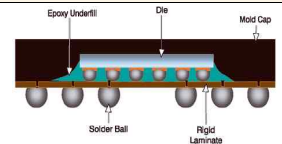
주요제품

패키지제품

FBGA(Fine Pitch Ball Grid Array)



Flip Chip



스토리지 및 디자인

UFD(USB Flash Drive)

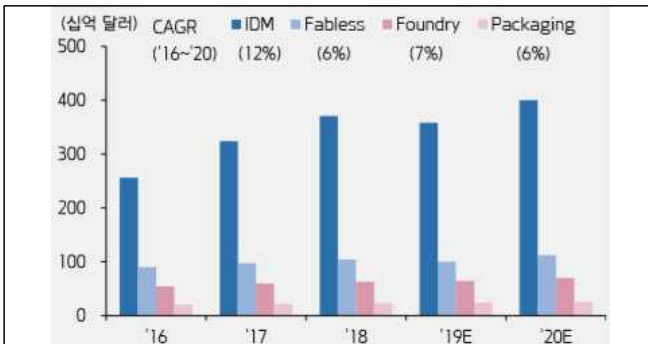


신규 패키징 디자인



시장경쟁력

반도체 산업의 동반 성장



세계 반도체 패키징 시장 현황

년도	시장규모	성장률
2015년	555억 달러	연평균 4.87% ▲ (Technavio)
2022년	774억 달러	

최근 변동사항

안정적 성장 기반 확보

- 생산시설 투자 완료, 고부가가치 제품 양산
 - 2019년 플립칩과 패키지 온 패키지 생산 인프라 확보
 - 안정적 외형성장 사이클 진입

패키징 & 테스트 일괄 처리 프로세스 구축

- 일괄 처리 프로세스로 수익구조 안정성 확보 및 생산 효율성 제고
 - 양 사업부간 시너지 창출을 도모
 - Turn-key 발주로 물류비용 및 제조 단가 절감 기대

I. 기업현황

반도체 패키징 및 테스트 종합 솔루션 구축 전문기업, 원팩

원팩은 반도체 제조 과정 중 후공정에 속하는 패키징 및 테스트 사업을 영위하고 있으며, 반도체 제조사나 팹리스 업체로부터 후공정을 일괄로 수주할 수 있는 인프라를 구축하였다.

■ 개요

원팩(이하 동사)은 반도체 패키징 및 테스트 등을 목적으로 2002년 4월에 설립되어 2013년 3월에 코스닥 시장에 상장되었다. 동사의 매출 대부분이 반도체 후공정 수주를 통해 실현 중이며, 이외에 패키지 어셈블리, 메모리 테스트, 시스템 반도체 테스트 영역까지 사업을 지속적으로 확대하고 있다. 또한 당뇨인슐린 의료 신산업 발굴 등 사업 다각화를 위한 노력을 진행 중이다. 2020년 반기보고서에 따르면, 본사는 경기도 용인시에 소재해 있으며, 총 510여 명의 임직원이 근무하고 있다.

표 1. 기업현황

구분	내용	구분	내용
회사명	원팩	창업주	서성원
설립일	2002년 04월 03일	대표이사	이한규
자본금	18,785백만 원	임직원 수	510여 명 (2020년 08월 기준)
발행주식 총수	37,570,081주 (2020년 8월 기준)	관계회사	(주)티더블유메디칼
상장일	2013년 03월 07일 (코스닥)	주요매출처	국내: SK하이닉스, JSC, TLi, FIDELIX
지식재산권 (특허)	국내 10건		해외: ESSENORE

*출처: IR 자료(2020), 반기보고서 공시자료(2020), NICE평가정보 재구성

■ 주주구성

동사의 최대주주는 (주)티엘아이로 동사의 지분 13.02%를 보유하고 있다. (주)티엘아이는 1998년 10월 28일 반도체소자의 설계, 제조 및 판매 등을 주요 영업목적으로 설립되었으며, 2006년 7월에 코스닥시장에 상장되었다. 기타 주주에는 신한금융투자가 포함되어 있으며 동사의 주요 소유지분은 [표 2]와 같다.

표 2. 주요주주

주요주주	지분율(%)	주요주주	지분율(%)
(주)티엘아이	13.02	김달수	1.34
(주)센소니아	3.21	윤공수	0.06
이한규	2.06	기타	80.31

*출처: 반기보고서 공시자료(2020), NICE평가정보 재구성

■ 대표이사 정보

동사는 2002년 4월부터 서성원 대표이사의 체제로 운영되다가, 2016년 2월 주주총회에서 이사회 결의를 통한 이한규 대표이사를 선임하였다. 이한규 대표이사는 한국항공대학교 전자공학과를 졸업하고 SK하이닉스 제조기술팀장과 티엘아이 생산총괄 전무이사를 역임한 바 있다.

■ 주요 사업 및 수익 구조

반도체 산업분야는 반도체 재료 및 반도체 전자회로소자의 제조·제작과 이들의 응용제품을 생산하는 산업이며 넓게는 반도체 소자 응용기기의 제작 및 이와 관련된 산업을 포함하고 있다. 초기 종합 반도체 제조사들은 대규모의 자금력을 바탕으로 반도체 소자생산의 제작과 설계, 생산과 후공정까지 자체적으로 진행하였다. 당시 종합 반도체 제조사들은 높은 수익성을 확보하고 있었고 이를 기반으로 전공정뿐만 아니라 후공정까지 지속적인 투자를 진행하면서 내부적으로 모든 공정을 수행하였다.

그러나, 점차 반도체 기술 진화는 빠른 속도로 진행되는 반면 단가의 하락이 지속되면서 설비 투자와 연구개발에 대한 리스크 및 원가절감에 대한 부담이 증가하고 이로 인해 산업의 전문화, 세분화의 필요성이 대두되기 시작했다. 이에 반도체 설계 전문업체인 팹리스(Fabless), 생산 전문업체인 파운드리(Foundry), 패키징과 테스트 공정을 전문적으로 하는 후공정 전문 업체들이 나타나게 되었으며, 동사는 반도체 후공정인 패키징 및 테스트에 집중하고 있다.

표 3. 사업 별 주요 매출 현황 (2020년 반기 기준)

사업	품목	개요 및 용도	매출액(백만원), [%]
제품	패키징	반도체 칩을 전기적으로 연결해주고, 밀봉 포장하여 반도체로서 기능을 할 수 있게 해주는 공정	45,111 [77.14 %]
		반도체 칩을 메인 보드 역할을 수행하는 Substrate에 탑재	
용역	테스트	반도체의 기능이 제대로 작동되는지 이상 유무를 확인하는 공정	12,945 [22.21 %]
		테스트 장비와 프로그램을 사용하여 반도체 소자의 전기적 기능을 검사하는 프로브 테스트 (웨이퍼 테스트) 및 Final Test (패키지 테스트)를 수행	
상품		H/W 및 제품 제조를 위해 매입한 원재료 중 제조 공정에 투입되지 않고 상품 형태로 판매	221 [0.38 %]
합계			58,277 [100 %]

*출처: 반기보고서 공시자료(2020), NICE평가정보 재구성

▶▶ 패키징 사업 분야

패키징 공정은 반도체 칩을 PCB 등의 Substrate에 탑재하여 전기적으로 연결해 주고, 외부의 습기나 불순물로부터 보호할 수 있게 밀봉 포장하여 반도체로서 기능을 할 수 있게 해주는 공정이다. 전자제품을 동작시키는 역할을 담당하는 반도체 칩은 그 자체로는 아무런 역할을 할 수 없고, 전자제품을 구성하는 회로에 연결되어야 기능을 수행할 수 있으나 반도체 칩을 회로 위에 바로 장착할 수 없기 때문에 반도체 칩을 메인 보드 역할을 수행하는 Substrate에 탑재하는 패키징 공정이 필요하다. 또한 반도체 칩은 정밀한 회로가 구현되어 있기 때문에, 외부의 충격이나 습기 등에 약하며, 동작 과정에서 발생하는 열을 효과적으로 방출할 수 있어야 오작동을 피할 수 있는데 패키징은 이러한 외부 환경적 요인들로부터 반도체 칩을 보호하는 역할을 담당한다.

▶▶ 테스트 사업 분야

테스트는 반도체의 기능이 제대로 작동되는지 이상 유무를 확인하는 것으로 테스트 장비와 프로그램을 사용하여 반도체 소자의 전기적(electrical) 기능을 검사하는 프로브 테스트(웨이퍼 테스트) 및 Final Test(패키지 테스트) 용역을 수행한다. 웨이퍼 상에 반도체 회로를 구현하는 전공정과 최종적인 제품의 형태를 갖추는 패키징 공정 사이에 진행되게 되며 설계상의 문제점이나 제조상의 문제점을 발견해 수정이 용이하여 이후 진행되는 패키징 공정 작업의 효율이 높아지게 된다.

그림 1. 주요 사업 현황



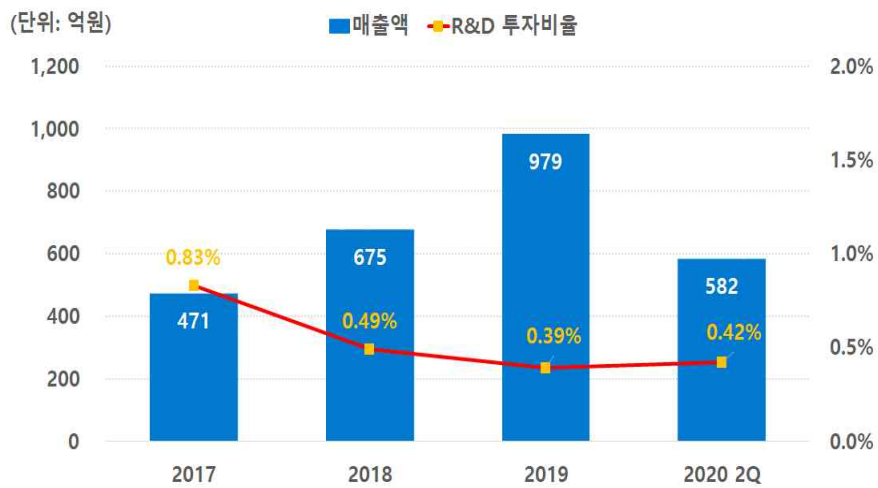
*출처: IR자료(2017), NICE평가정보 재구성

동사는 반도체 시장변화에 따라 수익성이 낮고, 시장점유율이 퇴조하는 제품의 영업 및 생산은 사양하고 부가가치가 높은 제품 위주의 개발과 영업을 추구하고 있으며, 신규 패키징기술 개발을 통해 신제품 수주에 집중하고 있다. 또한, 차세대 패키징 제품들의 시장 선점을 위해 MCP(Multi Chip Package)을 활용한 High-end 반도체 패키징 기술 개발 및 생산 역량 강화에 집중하고 있다. MCP의 경우 18 Stack의 적층 기술을 보유하고 있으며 이를 더욱 발전시키는 한편 지속적인 보완투자를 통하여 매출증대 전략을 수립하고 있다. 또한 적층기술 뿐만 아니라 얇은 패키지 조립을 위한 웨이퍼 thin grinding 기술, 설계기술, 다양한 MCP의 접합기술 등을 지속적으로 연구, 개발 중에 있다.

■ R&D 투자 및 연구개발 실적

동사는 SK하이닉스를 비롯한 국내외 유수의 반도체, 디스플레이 업체와 긴밀하고 장기적인 협력 관계를 유지하고 있으며, 시장 요구사항에 적절히 대응하기 위해 기술개발능력, 양산능력, 품질안정화 능력을 사전에 확보하고자 지속적인 연구개발 활동 및 시설 투자를 진행하고 있다. 동사의 연구 조직은 미래기술팀과 공정기술팀으로 구성되어 있으며 연구위원을 중심으로 22명의 연구원이 사내 연구 과제를 통해 연구개발에 주력하고 있다.

그림 2. R&D 투자비율



*출처: IR자료(2020), NICE평가정보 재구성

동사는 반도체 패키징 기술 개발 및 생산 역량 강화를 위해 단기 또는 장기 프로젝트를 구성하여 연구개발을 진행하고 있다. 최근 연구 과제인 DRAM과 NAND Flash로 구성된 MCP(Multi Chip Package)제품 개발은 DRAM을 동일 Die stack으로 추가 구성을 하여 용량을 증가 시키고, High level material 및 전용 장비를 적용하여 공정 안정성과 제품 품질을 높여 차량용 반도체에 최적화 된 패키징 개발이다. 동사는 다양한 제품 라인의 공정 효율화와 수율 증가를 위해 최근 3년간 39개의 사내 연구 과제를 수행하였다.

표 4. 연구개발 실적

연구과제명	연구기간	비고
C2 타입 CPB(Cu Pillar Bump) & 62um Bump Height & 320um SDBG 적용 8Gb DDR4 78B 플립칩 패키지 개발	2020.01 ~ 2020.03	완료
Sub 2D(QR)마킹 및 Dual Bin Sorting D/A공법 적용한 eMCP/POP제품 패키지 공정 개발	2020.02 ~ 2020.07	완료
60um SDBG 공정이 적용된 2-Die Stack 16Gb(8Gb LPDDR4x4) POP-TOP용 200B 패키지 개발	2020.04 ~	진행중
Dumped Die 8Gb LPDDR4를 적용한 4-Die Stack 32Gb(8Gb LPDDR4x4) 10x15 Body 200B 패키지 개발	2020.04 ~	진행중
AEC-Q100인증 Automotive향 8x10.5 Body 162B NAND MCP (4G Flash+4G RAM)패키지 개발	2020.04 ~	진행중

*출처: 반기보고서 공시자료(2020), NICE평가정보 재구성

■ 주요 수상 실적

동사는 차별화된 기술 경쟁력을 기반으로 지속적인 수익률 개선을 통해 사업 안정화에 집중하고 있다. 또한 핵심인재 확보와 육성, 경영 인프라의 선진화를 통해 지역사회 일자리 창출에 힘쓰고 있다. 이는 2018년 일자리 우수기업 인증, 2019년 9월 용인시 산업평화대상 수상, 2019년 12월 일자리 창출 대통령 표창 등의 결과로 나타났다. 해당 결과에 대한 세부사항은 다음과 같다.

그림 3. 주요 수상 실적



*출처: IR자료(2020)

II. 시장 동향

반도체 산업의 성장과 더불어 적기 투자로 안정적 외형성장 사이클에 진입

원팩은 지속적인 투자와 연구개발로 빠른 속도로 성장하고 있는 반도체 시장으로의 사업영역 확장을 시도하고 있다. 또한 시스템 반도체 테스트 양산 및 신규 거래선 확보 등을 통해 사업영역을 점진적으로 확장해 가고 있다.

■ 반도체 시장 구성

반도체 산업은 Value Chain 별로 종합 반도체 회사(IDM, Integrated Device Manufacturer), 설계 전문업체(팹리스), 위탁 생산 전문업체(파운드리), 패키징 및 테스트 전문업체(SATS, Semiconductor Assembly and Test Service)로 분류된다. 대표적인 IDM 업체는 Intel, 팹리스 업체는 Qualcomm, 파운드리 업체는 TSMC, SATS 업체는 Amkor 가 시장을 이끌고 있다. 당사는 SATS 시장에 속하는 업체로 IDM, 파운드리 업체에 이어 많은 자본을 필요로 하는 것으로 파악된다.

표 5. 반도체 Value Chain 별 구성 및 주요 업체

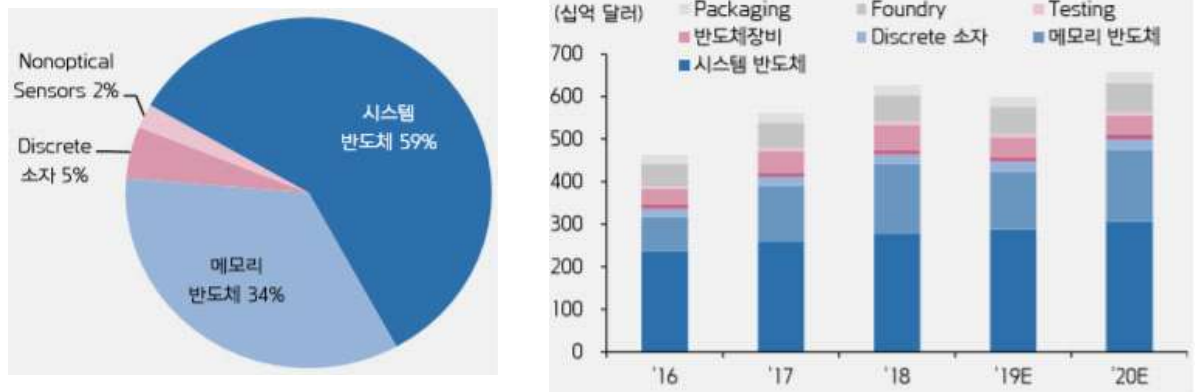
공정별 분류	비즈니스 모델별 분류	사업 특성	주요업체
전공정	IDM	· 칩 설계에서 제조 및 테스트까지 일괄 공정 체제 구축 · 메모리 제조의 가장 성숙한 모델	Intel, 삼성전자, SK하이닉스 Micron, Toshiba, TI
	팹리스	· 칩의 설계만 전문으로 하는 업체 · 고정비의 대부분은 연구개발 및 인력비	Qualcomm, Broadcom Xilinx, NVIDIA, 실리콘웍스
	파운드리	· 주문방식에 의한 칩 생산만 전문 · 고부가 비메모리 위주 전문 위탁제조	TSMC, GlobalFoundries UMC, SMIC, 동부하이텍
후공정	패키징 및 테스트	· 가공된 웨어퍼의 Assembly / Test · 축적된 기술 및 거래선 확보 필요	Amkor, ASE, 네패스 테스나, SFA반도체, 원팩

*출처: 비메모리 반도체 산업전망(2019), 키움증권 리서치센터

■ 반도체 산업 구성 별 시장 동향

시스템 반도체 시장규모는 시장분석 업체인 Gartner의 2019년 자료에 따르면, 2018년 기준 2,768억 달러로 전체 반도체 시장의 59%의 비중을 차지하고 있다. 2016년~2018년 시스템 반도체 시장 규모는 업황에 따른 산업의 변동성이 매우 큰 메모리 반도체 시장의 평균 2.2배 수준을 보였다. 시스템 반도체를 제외한 메모리 반도체, Discrete 소자, 반도체 장비, 파운드리, 패키징의 2018년 총 시장규모는 3,478억 달러이다.

그림 4. 반도체 산업 구성 별 시장 현황



< 반도체 산업 구성 별 시장 현황 >

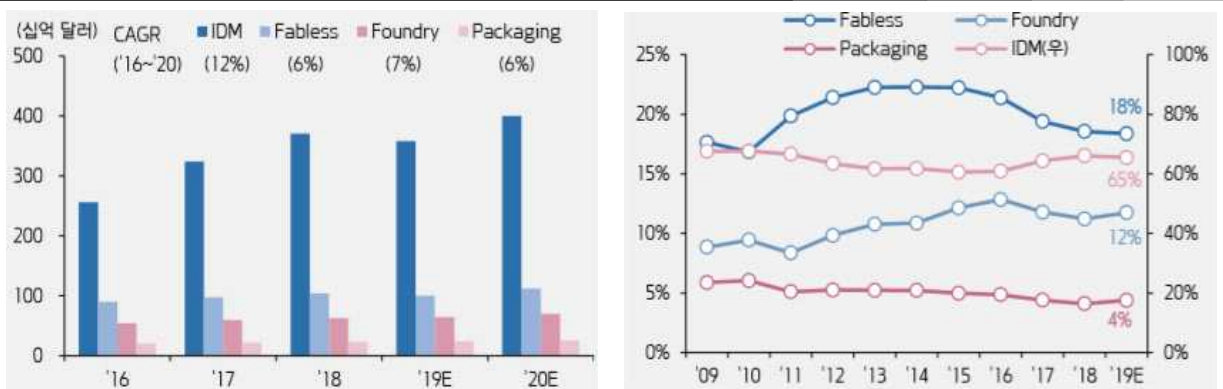
< 반도체 제품 별 시장 현황 >

*출처: Gartner, 키움증권 리서치센터(2019)

■ 반도체 Value Chain 별 시장 동향

2019년 Gartner 시장자료에 따르면 IDM 매출비중은 2015년까지 하락세를 보인 후, 2015년 60.6%에서 2018년 66.1%로 재차 증가하였으며, 매출액은 2009년 1,536억 달러에서 2018년 3,706억 달러로 연평균 10.3%의 높은 성장률을 보였다. 파운드리 매출 비중은 2011년 8.4% 기록 후 10%대 초반을 꾸준히 유지 중이고, 매출액은 2009년 201억 달러에서 2018년 629억 달러로 연평균 13.5%의 높은 성장률을 보였다. 패키징 매출비중은 2014년 22.3% 기록 후 최근 소폭 하락했으나, 여전히 2018년 기준 19%의 높은 비중 유지하였으며, 매출액은 2009년 401억 달러에서 2018년 1,040억 달러로 연평균 11.2%의 높은 성장률을 보였다. 동사가 속한 패키징 및 테스트 시장은 타 분류산업 대비 낮은 비율의 성장세를 보였으나, 1990년에 세계 반도체 출하량 중 패키징 전문 업체가 소화한 비중은 15%에서 2018년에는 53%를 차지한 것으로 파악되었다. 반도체 칩이 복잡해지고 고성능/저전력 등이 더욱 요구됨에 따라, 패키징 변경의 수요 증가가 시장성장의 원인으로 분석되었다.

그림 5. 반도체 Value Chain 별 시장 현황



< 반도체 Value Chain 별 시장 현황 >

< 반도체 Value Chain 별 매출 증가 비중 현황 >

*출처: Gartner, 키움증권 리서치센터(2019)

■ 세계 반도체 패키징 시장 현황

과거에는 반도체의 Data Input/Output 단자 수가 적었기 때문에 패키징도 단순 구조의 SOP(Small Outline Package) 타입이 주류를 형성했다. 그러나 스마트 폰 등 각종 디지털 가전시장이 확대되면서 패키징 타입이 과거보다 훨씬 복잡해짐에 따라 패키징 전문 업체의 성장이 지속되고 있다. 2018년 Technavio 시장자료에 따르면, 세계 반도체 패키징 시장은 2017년 610억 7천만 달러 규모이며, 이후 연평균 4.87%씩 증가하여 2022년에는 774억 5천만 달러에 달할 것으로 전망된다.

그림 6. 세계 반도체 패키징 시장 규모



*출처: Technavio, 한국신용정보원(2018), NICE평가정보 재구성

■ 국내 반도체 패키징 시장 현황

현재 국내에는 10여 개의 반도체 후공정 전문업체들과 Amkor, ASE, STATS ChipPAC 등 글로벌 후공정 업체들이 사업을 영위하고 있다. 2018년 Technavio 시장자료에 따르면, 국내 반도체 패키징 시장은 2017년 16조 6,712억 원 규모이며, 이후 연평균 4.87%씩 증가하여 2022년에는 21조 1,427억 원에 달할 것으로 전망된다.

그림 7. 국내 반도체 패키징 시장 규모



*출처: Technavio, 한국신용정보원(2018), NICE평가정보 재구성

■ 세계 반도체 패키징 조립 장비 시장 현황

반도체 패키징 산업은 각종 공정장비들의 대규모 설비투자를 요구하는 장치 산업으로 비교적 중소 업체들에게 진입장벽이 높은 분야이다. 주요 반도체 패키징 및 조립 장비로는 다이싱(Dicing), 본딩(Bonding), 몰딩(Molding) 장비 등이 있다. 2017년 MarketsandMarkets 시장자료에 따르면, 세계 반도체 패키징 조립 장비 시장규모는 2014년 44.8억 달러에서 2016년 51.6억 달러로 증가했으며, 연평균 6.93%씩 증가하여 2022년에는 77.4억 달러에 달할 것으로 전망된다.

그림 8. 세계 반도체 패키징 조립 장비 시장 규모

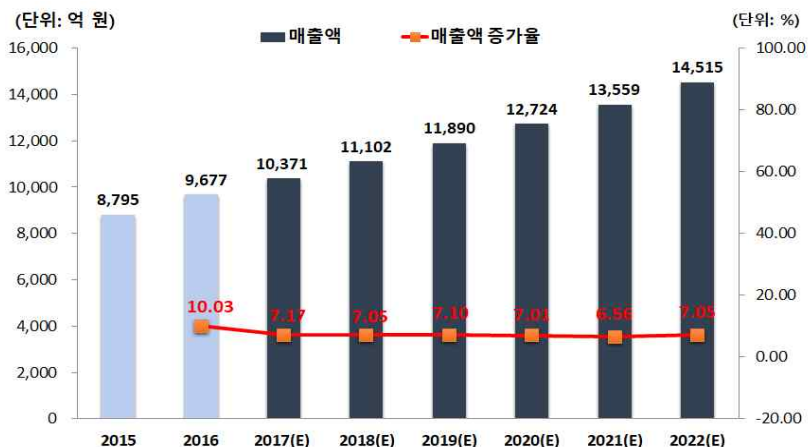


*출처: MarketsandMarkets, 한국신용정보원(2017), NICE평가정보 재구성

■ 국내 반도체 패키징 조립 장비 시장 현황

반도체 패키징 조립 장비 산업은 진입장벽이 높은 산업, 반도체 업황에 민감한 산업, 주문 제작 산업, 지식 기반 고부가가치 산업 등으로 설명된다. 2017년 MarketsandMarkets 시장자료에 따르면, 국내 반도체 패키징 조립 장비 시장규모는 2014년 7,625억 원에서 2016년 9,677억 원으로 증가했으며, 연평균 6.93%씩 증가하여 2022년에는 14,515억 원에 달할 것으로 전망된다.

그림 9. 국내 반도체 패키징 조립 장비 시장 규모



*출처: MarketsandMarkets, 한국신용정보원(2017), NICE평가정보 재구성

Ⅲ. 기술분석

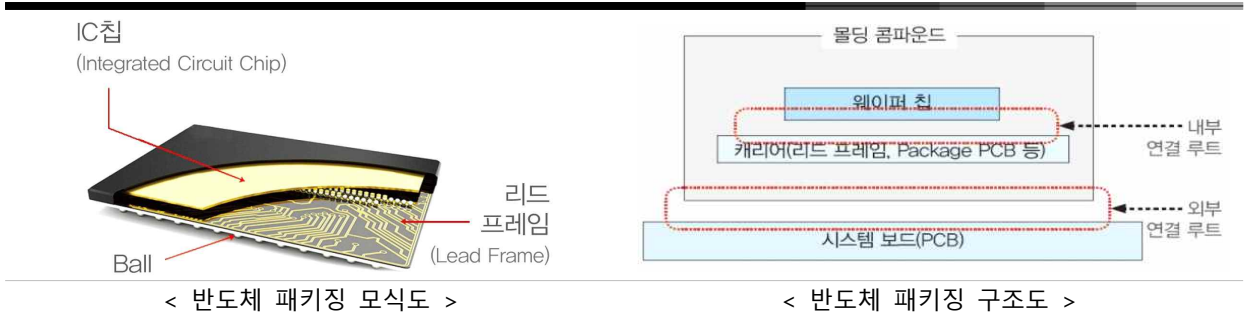
플립칩(Flip chip), 패키지 온 패키지(POP) 인프라 구축을 통한 차세대 패키징 기술 경쟁력을 확보한 원팩

원팩은 체계적인 전문 인력을 기반으로 차세대 패키징 기술 솔루션 확보를 통한 기술 내재화로 패키징 주문을 수주하는 경쟁업체 대비 앞선 경쟁력을 확보하고 있다.

■ 반도체 패키징 기술

반도체의 8대 공정 중 마지막 패키징 공정은 만화 영화에서 로봇에 생명을 불어넣듯 전기적인 신호가 통할 수 있도록 연결해주는 과정이다. 각기 다른 온도, 습도, 진동, 전압 등의 환경에서 파손되기 쉬운 칩을 보호하는 역할도 한다. 반도체 패키징은 웨이퍼에서 분리된 개별 집적회로인 칩(Die)을 중심으로 칩의 전극 패드에서 하부 면을 지지하는 기판의 패드까지를 금(Au) 도선(본딩 와이어) 등으로 연결하여 전기적 배선을 확보하며, 칩과 기판 사이는 접착제를 사용하여 고정한다. 또한 기판 하부에는 솔더볼 등 집적회로에 비해 간격이 넓고 크기가 큰 전극이 배열되어 메인보드 등 인쇄 회로기판에 접속이 가능하며, 바깥에는 에폭시 등 봉지재로 감싸 외부로의 노출을 차단한다.

그림 10. 반도체 패키징 예시



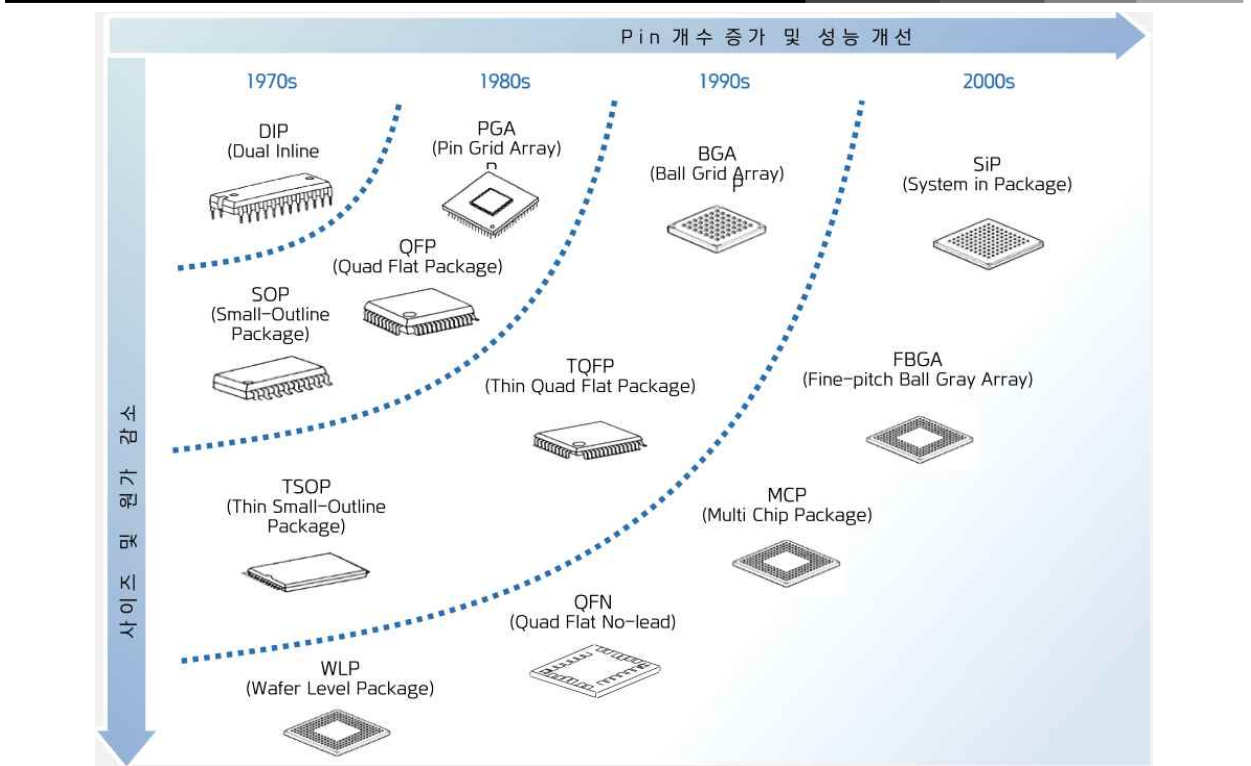
*출처: 삼성전자(좌), SK하이닉스(우), 나이스평가정보 재구성

■ 반도체 패키징 기술의 발전

반도체 패키징은 사이즈와 원가 감소를 위해 가볍고(경), 얇고(박), 짧고(단), 작은(소)를 목적으로 한다. 키움증권에 따르면, 반도체 패키징 발전단계는 4단계로 구분되고, 1세대는 칩과 패드를 금속선으로 연결하는 리드프레임에 기반한 와이어본딩 방식이 주를 이뤘다. 보호와 연결과 같은 기본 기능에 충실했던 1세대를 지나 점점 집적화된 패키징이 요구되었으며 2세대는 PCB에 기반한 와이어본딩 방식인 FBGA(Fine-pitch Ball Grid Array), MCP(Multi Chip Package)와 같은 기술이 등장했다. 점점 더 작은 패키징을 추구하게 되면서 금속 와이어의 부피가 문제됨에 따라, 3세대는 돌기인 범프(Bump) 방식의 연결로 전환하게 된다. 이에 I/O 단자 수가 많이 늘게 되어 부품 소형화, 공정 미세화 등으로 플립칩, SiP(System-in-Package)와 같은 방식이 개발되었으며, 주로 스마트폰에 많이 활용되었다.

4세대는 패키징 단계에서 여러 개의 칩을 통합하는 것이 핵심 기술이다. 더 작아진 면적에 더 많은 칩을 집적하기 위해 적층 기술이 등장했고, 칩을 비롯한 부품들이 통합된 모듈형 패키지 도 등장했다. 이에 등장한 TSV(Through Silicon Via)와 같이 칩에 미세한 구멍을 내 연결시키는 기술은 웨이퍼 수준의 공정 기술을 가진 종합 반도체 업체나 직접 칩을 생산하는 파운드리 업체에게 유리해, 향후 업체 구조가 바뀔 가능성이 있다는 시각이 있다. 동사는 3세대와 4세대의 패키징 기술을 보유한 것으로 파악되며, 2012년 BOC(Board On Chip) 패키지 개발, COB(Chip On Board) 패키지 개발, MCP 패키지 개발을 시작으로 High-End 반도체 패키징 기술 개발 및 생산 역량 강화에 집중하며, 시장의 다양한 요구조건에 대응할 수 있는 폭넓은 패키지 제품을 제공하고 있다.

그림 11. 반도체 패키징의 발전 단계


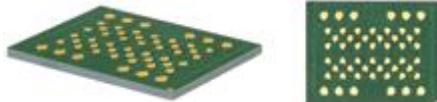
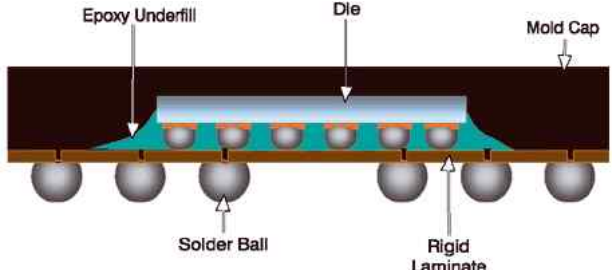




*출처: 비메모리 반도체 산업전망(2019), 키움증권 리서치센터

■ 원팩의 주요제품

반도체 패키징은 일반적으로 웨이퍼 절단(Wafer Dicing), 칩 접착(Die Bonding), 배선(Wiring), 봉지 성형(Molding), 도금(Plating), 패키지 절단, 테스트, 포장의 순서로 진행된다. 절단된 개별 칩(Die)의 접착과 배선은 패키지의 성능을 결정하는 핵심적인 과정으로, 특히 집적회로의 단자 수 증가와 고속화에 의해 직접적으로 영향을 받는 공정이다. 최근에는 패키지 내부 배선의 밀도를 높이고 배선 길이를 줄이는 방향으로 전반적인 기술적 전환과 발전이 이루어지고 있다. 동사의 제품은 크게 패키지 제품, 스토리지 제품, 디자인 및 시뮬레이션, 테스트 서비스로 구성되어 있으며 다양한 반도체의 패키징 및 테스트 서비스를 제공할 수 있는 기술력을 보유하고 있다.

표 6. 원팩 주요제품

구분		내용
패키지 제품	FBGA (Fine Pitch Ball Grid Array)	 <p>일반적으로 Substrate를 이용하며, Wire Bonding, Molding 기술을 적용하여 Ball Pitch가 1.0mm이하인 Ball Grid Array형 패키징</p>
	LGA (Land Grid Array)	 <p>패키징 내에 하나 혹은 여러 Chip을 실장하여 하나의 패키징으로 구현하는 기술로, Ball없이 Land만을 직접 실장하여 고용량, 고집적 패키징을 구현</p>
	Flip Chip	 <p>Chip Pad에 Bump를 형성하여 Substrate와 전기적으로 직접 연결하는 패키징</p>
스토리지 제품	UFD (USB Flash Drive)	 <p>Controller Chip과 Flash Memory Chip의 조합으로 구성된 PC 등에 사용되는 데이터 저장장치용 패키징</p>
디자인 및 시뮬레이션		 <p>신규 패키징의 디자인 및 신제품 디자인, 시뮬레이션 대응능력 보유</p>

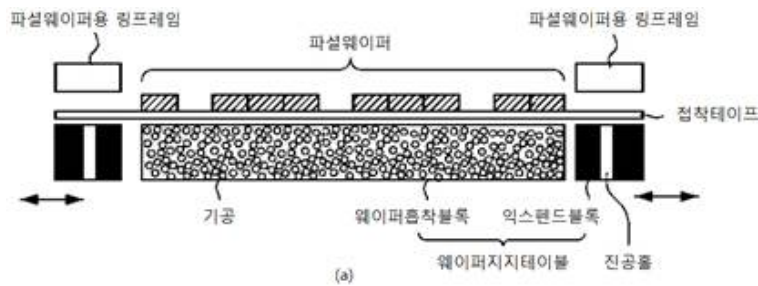
*출처: 동사 홈페이지, 나이스평가정보 재구성

■ 패키징 및 테스트 제품 수율/호환성 확보를 위한 공정 기술 개발 주력

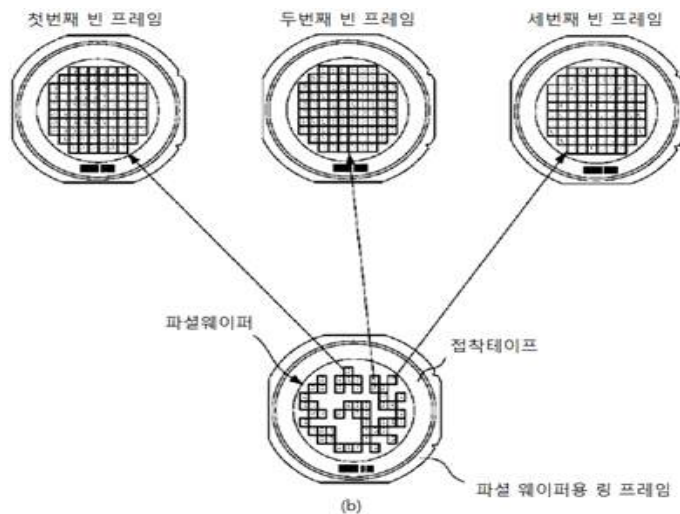
동사는 패키징 및 테스트 수율을 확보하면서도 호환성을 높이기 위한 공정기술을 개발하고 있다. 웨이퍼는 패키지 조립 공정을 거치면서 웨이퍼 링(Wafer Ring)에 장착된 접착테이프에 부착되고, 다이싱 공정을 통해 개별 칩 단위로 절단되며, 절단된 칩들은 접착테이프로부터 픽업되어 리드 프레임 또는 인쇄회로기판에 실장된다. 이후 테스트 공정을 통해 고객 요구 특성별 등급이 분류되고, 고객이 지정한 등급에 해당하는 칩들을 선별적으로 사용하게 되며, 사용되지 않은 칩들은 접착테이프에 부착된 상태로 파셜 웨이퍼(Partial Wafer)로 스크랩된다. 파셜 웨이퍼는 칩 재배열을 위해 다시 등급에 따라 분류하는 공정을 거치게 되는데, 이때, 접착테이프로부터 탈착하는 과정에서 굽힘, 깨짐과 같은 손상이 발생되어 수율이 저하되는 문제가 발생된다. 원팩은 웨이퍼 재구성 방법에 관한 노하우를 확보하여 테이프 교체로 인한 작업 공수 증가 문제, 비용 증가 문제 등을 해결하였다.

특히 내용에 따르면, 파설 웨이퍼용 링 프레임을 추가적으로 접착테이프에 부착하여 등급별로 각기 다른 빈 프레임에 이송 부착하여 웨이퍼를 재구성하는 것으로, 테이프 교체 없이 파설 웨이퍼를 링 프레임에 고정시켜 작업 시간을 단축시킬 수 있다. 또한, 링 프레임을 접착테이프에 부착하여 장력을 확보함으로써 접착테이프에 부착된 칩들을 떼어내는 과정에서 발생할 수 있는 불량 문제(칩들간 충돌에 따른 굽힘, 깨짐현상)를 미연에 방지하였다.

그림 12. 원팩 특허(10-1707805) 웨이퍼 재구성 방법



< 파설 웨이퍼용 링 프레임 부착 과정 >



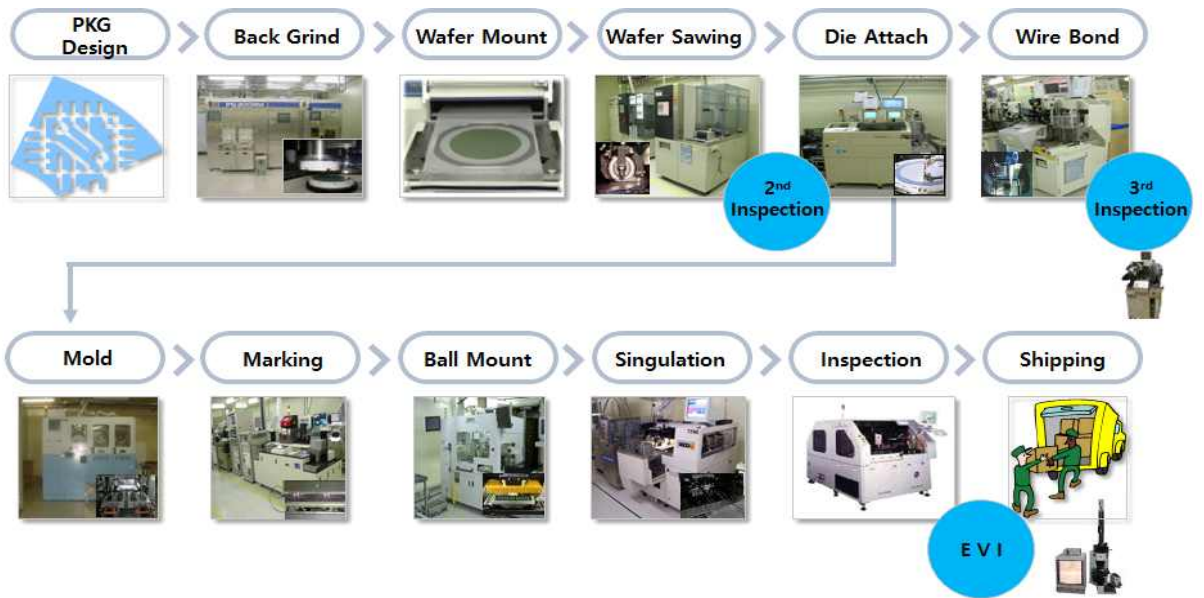
< 칩 분류 방법 >

*출처: 키프리스, 나이스평가정보 재구성

■ 원팩의 패키징 공정

동사는 고객사가 요구하는 제품 스펙에 따라 패키징의 초기형태인 Lead frame 방식부터 최신형 모바일 기기에 적용되는 substrate 방식의 MCP까지 다양한 방식의 패키징을 진행하고 있다. 패키징의 경우 새로운 방식이 기존 방식을 완전히 대체하는 것은 아니며 적용 어플리케이션에 따라 필요한 패키징 방식을 선택하는 형태이므로 여러 방식이 공존하고 있는 상황이다. 사업 초기에는 BOC 형태의 패키징을 주로 진행하였고 이후 COB, MCP, 응용복합제품(CI-MCP, E-NAND), 센서제품, T-CON, POP, eMMC, Flip Chip 등의 형태로 다각화 하고 있으며 2차, 3차 품질검사를 통해 수율 향상과 호환성 확보에 노력하고 있다.

그림 13. 원팩 패키징 공정흐름도



*출처: IR자료(2020)

■ 원팩의 테스트 공정

동사의 테스트 공정은 제품 투입 전 불량 검출을 위한 수입검사로부터 진행되며 Hot/Cold 공정에서는 전기적 신호를 통해 웨이퍼 상의 각각의 칩 중 불량품이 있는지 판정한다. 이때, 특정 온도에서 정상적으로 동작하는지 판별하기 위해 상온보다 높고 낮은 온도의 테스트가 병행된다. 테스트 통과 기준은 반도체 협회에서 제시하는 스펙을 만족해야 하며, 각 고객사 별로 요구하는 기준에 따라 검사해야 하는 과정이 달라진다.

그림 14. 원팩 테스트 공정흐름도



*출처: IR자료(2020)

■ SWOT 분석

그림 15. SWOT 분석



*출처: NICE평가정보

▶▶ (Strong Point) 고부가가치 제품 생산에 따른 단가 상승

향후 반도체 패키징 기술은 초소형화 및 시스템화하는 경로로 진화가 예상되고 있으며, 모바일 기기의 확산에 따라 고성능 칩을 작은 면적에 집적하는 기술이 비약적으로 발전할 전망이다. 주 고객인 SK하이닉스의 고부가가치 제품 집중에 따른 신규 패키지 양산제품 수주에 성공하였으며, 패키지 공장 증축에 따른 생산성 향상과 고단 제품 양상을 통한 단가 상승에 매진하고 있다.

▶▶ (Weakness Point) 과거보다 훨씬 복잡해진 반도체 패키징

반도체 패키징 기술이 4세대로 넘어가면서 전공정 기술의 한계를 보완하면서 최종제품에서 요구하는 원칩화, 원패키지화를 추구하는 흐름으로 진화되고 있다. 큰 성장 추세를 보이고 있는 시스템 반도체 분야에서는 후공정 기업이 관계형 공급자이며, 패키징 기술의 발전에 따라 모듈형 공급자가 된다고 볼 수 있다. 따라서 전공정 산업에서 해결하지 못하는 기술적인 부분과 다양한 성능 개발을 통해 고객사가 필요로 하는 상호융합을 위한 원천 기술개발이 요구된다.

▶▶ (Opportunity Point) 정부와 업계의 높은 니즈

5G, IoT, AI, 자율주행차 등으로 인해 반도체의 수요처는 점점 더 다양해지고 있으며, 이런 흐름 속에서 정부는 ‘시스템 반도체 비전과 전략’ 사업을 통해 5가지 추진과제를 발표했다. 따라서 동사는 우수한 인력을 기반으로 꾸준한 신제품 개발의 지속성을 보유하고, 국내외 주요 고객을 기반으로 안정적인 성장의 가능성여부, 전망시장의 변화에 따른 대응력 등의 점검을 통해 안정적인 성장세를 지속하여야 한다.

▶▶ (Threat Point) 일괄 처리 프로세스 등 끊임없는 연구개발을 통한 약점 개선

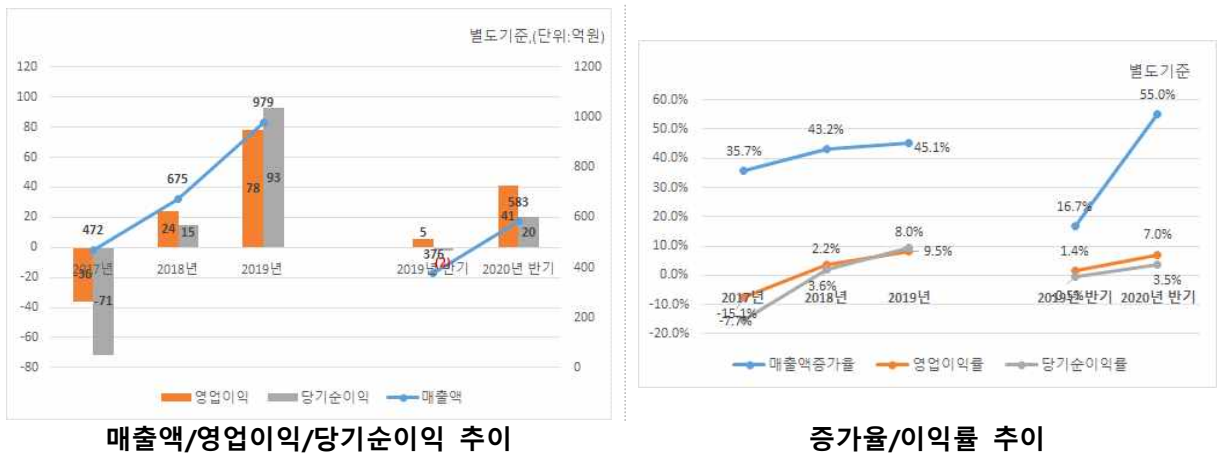
동사가 속한 반도체 패키징 산업에서 업체간 R&D 능력 및 양산기술의 차별화가 가속화될 것으로 보인다. 즉, 빠르게 발전하는 패키징 기술에 대한 양산능력을 축적하고, 선행기술을 확보할 수 있는 능력이 있는 업체와 그렇지 못한 업체 간의 격차가 크게 확대될 것으로 보인다. 따라서 내장되는 부품의 수율과 시스템 전체에 대한 높은 이해도가 요구되며 시장의 수요가 부상하는 제품을 빠르고 저렴한 가격에 공급할 수 있는 능력이 필수적으로 요구된다.

IV. 재무분석

반도체 패키징을 통한 매출 성장

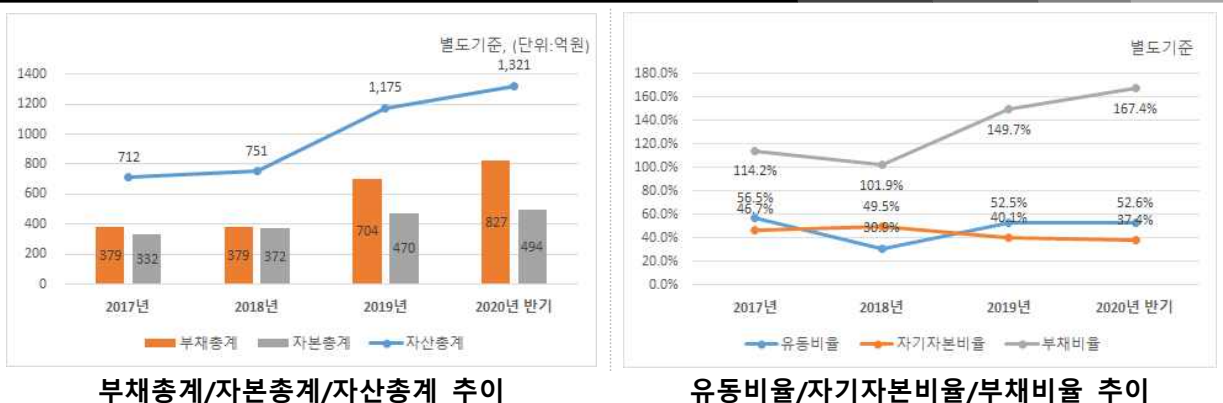
동사는 2019년 결산기준 제품 수요 확대에 전년 대비 45.1% 증가한 979.3억 원을 나타냈으며 이 중 패키징부문은 전년 대비 61.0% 증가한 754.5억 원, TEST부문은 전년 대비 10.2% 증가한 219.6억 원으로, 패키징부문이 매출 성장을 견인하고 있음을 볼 수 있다.

그림 16. 동사 연간 및 반기 요약 포괄손익계산서 분석(개별 기준)



*출처: 동사 사업보고서(2019), 반기보고서(2020)

그림 17. 동사 연간 및 반기 요약 재무상태표 분석(개별 기준)



*출처: 동사 사업보고서(2019), 반기보고서(2020)

■ 매출 성장세를 통한 수익성 큰 폭 개선

최근 스마트 폰 등 각종 디지털 가전시장이 확대되면서 수요처가 점점 더 다양해지고 고성능/저전력 등이 더욱 요구되며 매출액은 2017년 471.5억 원(+35.7% YoY)에서 2018년 675.1억 원(+43.2% YoY), 2019년 979.3억 원(+45.1% YoY)을 기록하는 등 최근 3년간 매출 성장세가 두드러졌다.

동사의 매출이 꾸준히 증가함에 따라 고정비 등의 비용 부담이 완화되고 있다. 이로 인해 매출액영업이익률이 2017년 -7.7%, 2018년 3.6%, 2019년 8.0%로 상승하고 있으며 매출액순이익률 또한 2017년 -15.1%, 2018년 2.2%, 2019년 9.5%로 큰 폭으로 개선되고 있음을 볼 수 있다.

■ 2020년 반기 매출 증가 및 순이익 흑자 전환

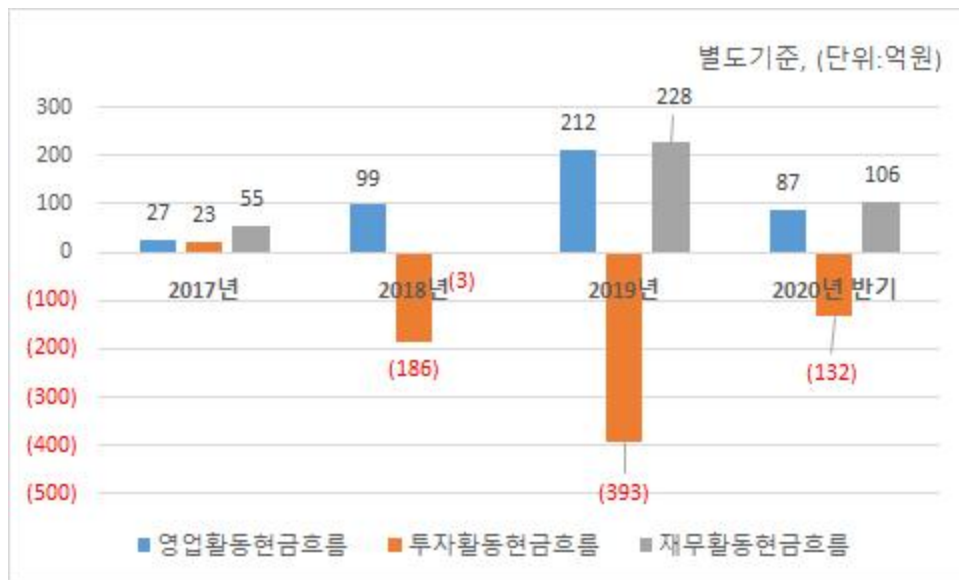
2020년 상반기 매출액은 전년 동기 대비 55.0% 증가한 582.8억 원을 기록하며 매출 성장세를 나타냈다. 매출이 증가하며 고정비 부담이 완화되어 매출액영업이익률 7.0%, 매출액순이익률 3.5%로 수익성이 전년 동기 대비 개선되고 순이익 흑자 전환하였다.

주요 재무안정성 지표는 부채비율 167.4%, 자기자본비율 37.4%, 차입금의존도 48.8%를 기록하는 등 전년대비 소폭 저하된 재무구조를 나타냈다.

■ 영업활동을 바탕으로 한 양호한 현금창출능력 보유

2019년 동사는 현금 유출이 없는 비용이 가산되고 운전자금 부담이 완화되며 손익계산서 상 순이익을 상회하는 211.8억 원의 영업활동현금흐름을 나타냈으며 이를 통해 건물 등의 자산을 취득하고 부족한 자금은 차입금 조달을 통해 충당하며 양호한 현금흐름을 보이고 있다.

그림 18. 동사 현금흐름의 변화(개별 기준)



*출처: 동사 사업보고서(2019) 반기보고서(2020)

V. 주요 변동사항 및 향후 전망

고객사 요구에 맞춘 공정라인 개선 및 시스템 반도체로의 사업영역 확장

원팩은 시스템의 고성능화, 초소형화, 저전력화 및 스마트화를 가속할 수 있는 인프라 구축을 통해 내수시장을 굳건히 하였으며, 최대 매출 갱신 지속을 통해 글로벌 시장경쟁력 강화를 본격화하고 있다.

■ 사업영역 확대 및 신규 사업 진출 모색

시스템 반도체 산업은 각 제품의 특성에 맞는 다양한 반도체를 개발, 양산하는 방향으로 산업 구조가 형성되고 있는 바, 각기 다른 제품의 양품과 불량품을 판별하는 테스트 전문 업체의 필요성이 더욱 대두되고 있는 상황에서 동사 다양한 고객의 요구에 맞춰 테스트라인을 증설, 확충하고 있으며 모회사인 티엘아이를 기반으로 기존의 메모리 반도체에서 시스템 반도체로 사업영역을 점차 확장해나가고 있다.

그림 19. 원팩의 패키징 제품 개발 로드맵



*출처: IR자료(2020)

■ 패키징 & 테스트 일괄 처리 프로세스 구축

동사는 수익구조의 안정성 확보를 위해 패키징 공정과 테스트 공정을 하나의 프로세스로 구축하는 작업을 진행하고 있다. 변동성이 높지만 규모가 큰 패키징 사업과 손익분기 매출 이상 달성 시 레버리지 효과가 큰 테스트 사업의 효율적인 관리를 통해 양 사업부간 시너지 창출을 도모하고 있다. 또한, 일괄 처리를 통해 테스트 불량 발생 시 원인 분석 및 개선 방안 도출이 가능하여 수율 향상을 예상하고 있으며 Turn-key 발주로 물류비용 및 제조 단가 절감을 기대하고 있다.

그림 20. 원팩의 패키징 & 테스트 일괄 처리 프로세스

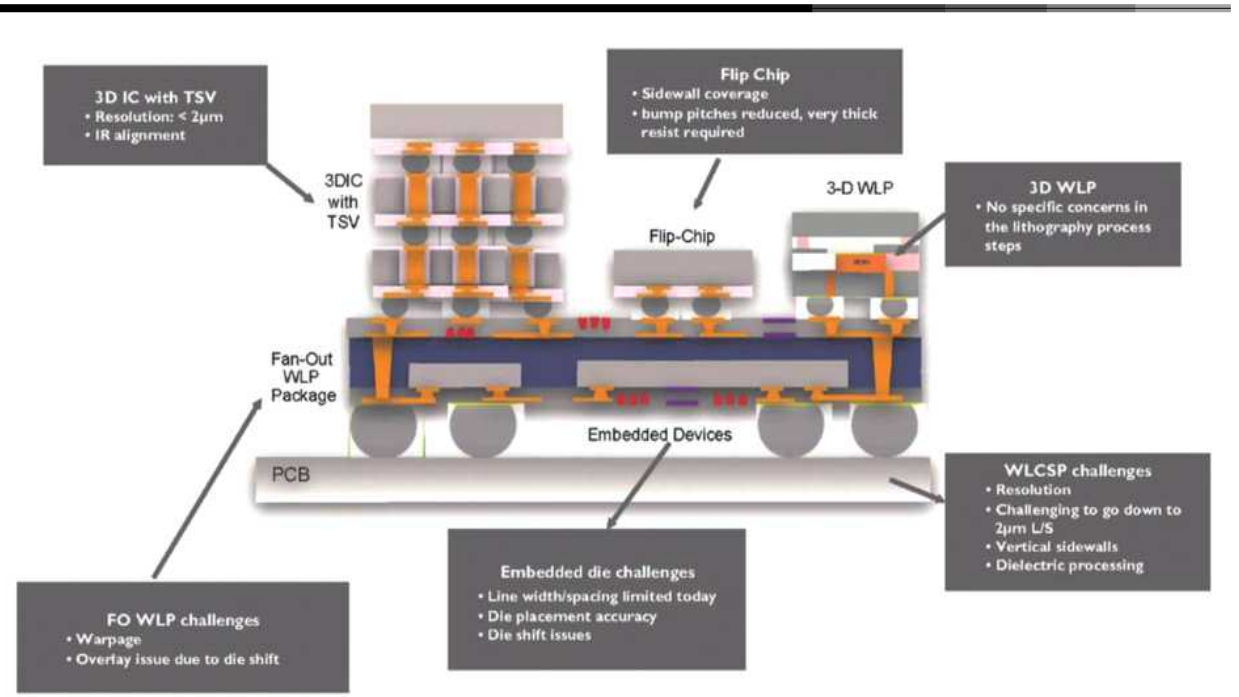


*출처: IR자료(2020), 나이스평가정보 재구성

■ 반도체 패키징 기술의 전망

반도체 패키징 기술은 단순하게 여러 칩을 하나로 통합하는 형태에서 벗어나 동종 및 이종 기술의 융복합화를 급속히 진행하여 신시장을 창출하고 있다. 또한 시스템의 고성능화, 초소형화, 저전력화 및 스마트화를 가속할 수 있는 시스템 반도체 분야로 진행되고 있다. 시스템의 핵심기능을 하나의 칩에 집약한 반도체로 휴대폰, 가전, 자동차 등 우리 일상생활 속에 편재하며, 삶의 편리성을 추구하고 동시에, 새로운 변화를 혁신하는 핵심기술로 ‘개별소자의 개념’에서 시스템 통합과 서비스 가치를 창출하는 ‘융복합 반도체 형태의 개념’으로 발전을 모색하고 있다. 따라서 시스템 산업과 서비스 산업의 고부가 가치화에 대한 중추적인 역할을 담당할 것으로 기대된다.

그림 21. 다양한 반도체 패키징 기술

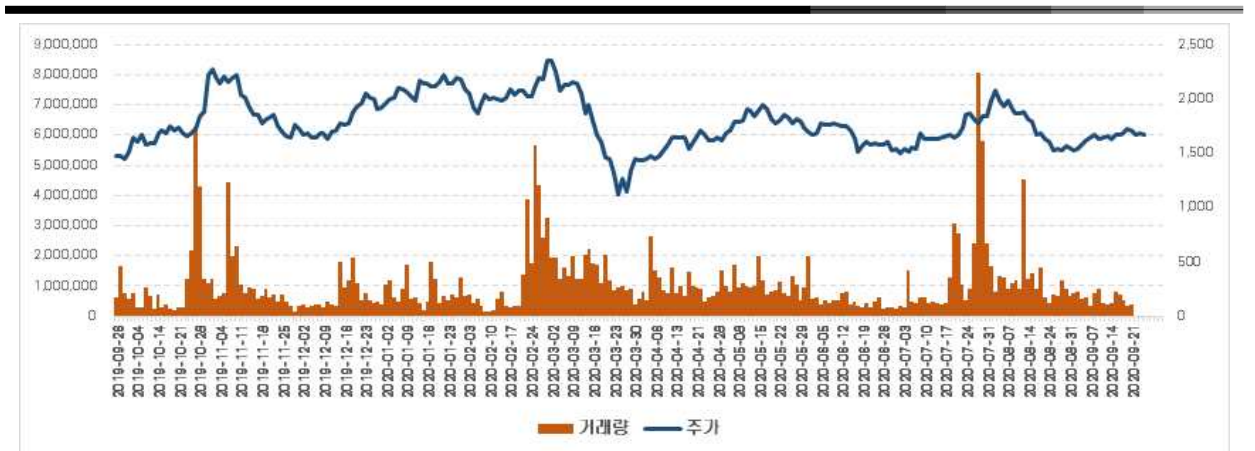


*출처: 반도체 패키징 공정기술의 이해와 전망, 전북테크노파크(2015)

■ 증권사 투자 의견

작성기관	투자 의견	목표주가	작성일
	<ul style="list-style-type: none"> 최근 6개월 내 발간된 보고서 없음 		

■ 시장정보(주가 및 거래량)



*출처: Kisvalue(2020.09.)